

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 8 1 7 7 5
Application Number:

[ST. 10/C]: [J P 2 0 0 2 - 3 8 1 7 7 5]

出 願 人 東芝松下ディスプレイテクノロジー株式会社
Applicant(s):

2 0 0 3 年 7 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 5 8 1 1 2

【書類名】 特許願

【整理番号】 14027001

【提出日】 平成14年12月27日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明の名称】 表示装置

【請求項の数】 16

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイ
テクノロジー株式会社内

【氏名】 中 村 卓

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイ
テクノロジー株式会社内

【氏名】 林 宏 宜

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイ
テクノロジー株式会社内

【氏名】 吉 田 征 弘

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイ
テクノロジー株式会社内

【氏名】 もたい 友 信

【特許出願人】

【識別番号】 302020207

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号

【氏名又は名称】 東芝松下ディスプレイテクノロジー株式会社

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【先の出願に基づく優先権主張】

【出願番号】 特願2002-267972

【出願日】 平成14年 9月13日

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】	要約書 1
【プルーフの要否】	要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、
前記表示素子のそれぞれに対応して少なくとも一個ずつ設けられ、それぞれが
指定された範囲の入射光を受光して電気信号に変換する撮像部と、
前記撮像部で変換された電気信号に応じた電荷を蓄積する電荷蓄積部と、
複数の撮像条件のそれぞれにおける前記電荷蓄積部の蓄積電荷に基づいて、前
記撮像部で撮像された画像に対応するデジタル画像データを生成する信号処理部
と、を備えることを特徴とする画像取込み機能を備えた表示装置。

【請求項 2】

前記電荷蓄積部に蓄積された電荷が所定のしきい値以上か否かを示す 2 値デー
タを出力する 2 値データ生成部を備え、
前記信号処理部は、前記複数の撮影条件のそれぞれで得られた前記 2 値データ
に基づいて、前記デジタル画像データを生成することを特徴とする請求項 1 に記
載の表示装置。

【請求項 3】

前記撮影条件を段階的に昇順または降順に切り替える撮影条件切替部を備え、
前記信号処理部は、前記撮影条件切替部が前記撮影条件を 1 段階切り替えたと
きに、前記 2 値データの論理が変化した場合には、注目画素の周囲の複数の画素の
前記 2 値データの値に基づいて、前記注目画素のデジタル画像データを生成する
ことを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記撮影条件切替部は、前記電荷蓄積部に蓄積される初期電荷量を段階的に昇
順または降順に切り替え、
前記電荷蓄積部は、複数通りの前記初期電荷量のそれぞれごとに、前記初期電
荷量から前記撮像部での受光量に応じた電荷を差し引いた残りの電荷を蓄積する
ことを特徴とする請求項 3 に記載の表示装置。

【請求項 5】

前記撮影条件切替部は、前記撮像部での撮像時間を段階的に昇順または降順に切り替えることを特徴とする請求項 3 に記載の表示装置。

【請求項 6】

前記信号処理部は、前記撮影条件切替部が前記初期電荷量を 1 段階切り替えたときに、前記 2 値データの論理が変化した場合には、注目画素の周囲 8 画素の前の画像取込み時における前記 2 値データの平均値を、前記注目画素のデジタル画像データとすることを特徴とする請求項 3 及至 5 のいずれかに記載の表示装置。

【請求項 7】

一つの撮影条件での前記 2 値データを一時的に格納する一時的格納部と、
前記一時的格納部に格納された前記 2 値データを格納する第 1 領域と、この第 1 領域に格納されている 2 値データに対応する前記デジタル画像データを格納する第 2 領域と、を有する作業用格納部と、を備えることを特徴とする請求項 2 及至 6 のいずれかに記載の表示装置。

【請求項 8】

前記表示素子、前記撮像部、前記電荷蓄積部及び前記 2 値データ生成部は、同一の絶縁基板上に形成され、

前記信号処理部、前記一時的格納部及び前記作業用格納部は、前記絶縁基板とは別個の半導体基板上に形成されることを特徴とする請求項 7 に記載の表示装置。

【請求項 9】

縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、
前記表示素子のそれぞれに対応して少なくとも 1 個ずつ設けられ、それぞれが指定された範囲の入射光を受光して電気信号に変換する撮像部と、
前記撮像部で変換された電気信号に応じた電荷を蓄積する電荷蓄積部と、
前記電荷蓄積部の蓄積電荷に応じた 2 値データを増幅する撮像データ増幅部と、
前記撮像データ増幅部にて増幅された 2 値データに基づいて撮像対象の平均階

調を検出する平均階調検出部と、

前記平均階調検出部の検出結果に基づいて、前記撮像部で撮像を行う際の前記表示素子の表示輝度を設定する輝度設定部と、

前記撮像部の撮像時間を複数通りに切替制御する撮像時間制御部と、

前記輝度設定部で設定された表示輝度に設定した状態で、前記撮像時間制御部で切替制御される個々の撮像時間での前記撮像部の撮像結果に基づいて、撮像画像に対応するデジタル画像データを生成する画像データ生成手段と、を備えることを特徴とする表示装置。

【請求項 1 0】

前期平均階調に基づく表示輝度設定を、隣接する複数の前記表示素子からなるブロックごとに行うことを特徴とする請求項 9 に記載の表示装置。

【請求項 1 1】

前記平均階調検出部で検出された平均階調が所定の基準階調値になるのに必要な前記撮像部の撮像時間を前記ブロックごとに検出する撮像時間検出部を備え、

前記輝度設定部は、前記撮像時間検出部の検出結果に基づいて、前記表示素子の輝度を設定することを特徴とする請求項 9 に記載の表示装置。

【請求項 1 2】

前記画像データ生成部は、個々の撮像時間での前記撮像部の撮像結果に対して重み付けを行うことを特徴とする請求項 9 乃至 1 1 のいずれかに記載の表示装置。

【請求項 1 3】

走査線を線順次駆動するか、またはすべての走査線を同時に駆動するかを切替制御可能な走査線駆動回路を備え、

前記走査線駆動回路は、前記電荷蓄積部に初期電荷を蓄積する際には、すべての走査線を同時に駆動することを特徴とする請求項 9 及至 1 2 のいずれかに記載の表示装置。

【請求項 1 4】

前記シリアルデータに含まれる「0」または「1」の数を計測するデータ数計測部を備え、

前記平均階調検出部は、前記データ数計測部の計測結果に基づいて平均階調を検出することを特徴とする表示装置。

【請求項 15】

前記輝度設定部は、前記ブロックの中心に位置する前記表示素子の輝度を設定し、前記ブロックの中心位置以外の前記表示素子の輝度を、中心位置からの距離に応じて徐々に変えることを特徴とする請求項 10 及至 14 のいずれかに記載の表示装置。

【請求項 16】

縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、
前記表示素子のそれぞれに対応して少なくとも 1 個ずつ設けられ、それぞれが指定された範囲の入射光を受光して電気信号に変換する撮像部と、
前記撮像部で変換された電気信号に応じた電荷を蓄積する電荷蓄積部と、
前記電荷蓄積部の蓄積電荷に応じた 2 値データを増幅する撮像データ増幅部と、
前記撮像部で撮像を行う場合に用いられる、複数の前記表示素子からなるブロックの表示形態を示す複数の基準パターンを記憶する基準パターン記憶部と、
前記撮像部の撮像結果に近似した基準パターンを前記基準パターン記憶部から複数種類選択する基準パターン選択部と、
前記基準パターン選択部で選択された基準パターンそれぞれの明暗を反転させた基準パターンを前記表示素子にて表示させた状態で、前記撮像部にて繰返し撮像を行った結果に基づいて、撮像画像に対応するデジタル画像を生成する画像データ生成手段と、を備えることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像取込み機能を備えた表示装置に関する。

【0002】

液晶表示装置は、信号線、走査線及び画素 TFT が列設されたアレイ基板と、信号線及び走査線を駆動する駆動回路とを備えている。最近の集積回路技術の進

歩発展により、駆動回路の一部をアレイ基板上に形成するプロセス技術が実用化されている。これにより、液晶表示装置全体を軽薄短小化することができ、携帯電話やノート型コンピュータなどの各種の携帯機器の表示装置として幅広く利用されている。

【 0 0 0 3 】

ところで、アレイ基板上に、画像取込みを行う密着型エリアセンサを配置した画像取込み機能を備えた表示装置が提案されている（例えば、特許文献 1， 2 を参照）。

【 0 0 0 4 】

この種の画像取込み機能を備えた従来の表示装置は、センサに接続されたキャパシタの電荷量をセンサでの受光量に応じて変化させるようにし、キャパシタの両端電圧を検出することで、画像取込みを行っている。

【 0 0 0 5 】

【特許文献 1】

特開2001-292276号公報

【特許文献 2】

特開2001-339640号公報

【 0 0 0 6 】

【発明が解決しようとする課題】

しかしながら、センサに流れる電流は微弱であるため、その電流によるキャパシタの両端電圧の変化を精度よく検出するのは困難であり、測定誤差が大きくなる。このため、取込画像にノイズが現れやすくなる。

【 0 0 0 7 】

また、キャパシタの両端電圧を検出するために、キャパシタにSRAMやバッファ回路を接続する場合、SRAMやバッファ回路を構成するトランジスタのしきい値電圧を超えたか否かにより「0」か「1」かの判定が行われるが、トランジスタのしきい値電圧にばらつきがあるため、「0」と「1」の判定基準がずれるおそれがある。また、センサに流れる電流もばらつきがあるため、「0」と「1」の判定基準がずれるおそれがある。

【0008】

本発明は、このような点に鑑みてなされたものであり、その目的は、光リークのばらつきやトランジスタ等の電気的特性のばらつきの影響を受けることなく、画像取込みを行うことができる表示装置を提供することにある。

【0009】**【課題を解決するための手段】**

上述した課題を解決するために、本発明は、縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、前記表示素子のそれぞれに対応して少なくとも一個ずつ設けられ、それぞれが指定された範囲の入射光を受光して電気信号に変換する撮像部と、前記撮像部で変換された電気信号に応じた電荷を蓄積する電荷蓄積部と、複数の撮像条件のそれぞれにおける前記電荷蓄積部の蓄積電荷に基づいて、前記撮像部で撮像された画像に対応するデジタル画像データを生成する信号処理部と、を備える。

【0010】

また、本発明は、縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、前記表示素子のそれぞれに対応して少なくとも1個ずつ設けられ、それぞれが指定された範囲の入射光を受光して電気信号に変換する撮像部と、前記撮像部で変換された電気信号に応じた電荷を蓄積する電荷蓄積部と、前記電荷蓄積部の蓄積電荷に応じた2値データを記憶する撮像データ記憶部と、隣接する複数の前記表示素子からなるブロックごとに、前記前記撮像データ記憶部に記憶された2値データに基づいて該ブロックにおける撮像対象の平均階調を検出する平均階調検出部と、前記平均階調検出部の検出結果に基づいて、前記撮像部で撮像を行う際の前記表示素子の表示輝度を前記ブロックごとに個別に設定する輝度設定部と、前記撮像部の撮像時間を複数通りに切替制御する撮像時間制御部と、前記ブロックのそれぞれを前記輝度設定部で設定された表示輝度に設定した状態で、前記撮像時間制御部で切替制御される個々の撮像時間での前記撮像部の撮像結果に基づいて、撮像画像に対応するデジタル画像データを生成する画像データ生成手段と、を備える。

【0011】

また、縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、前記表示素子のそれぞれに対応して少なくとも 1 個ずつ設けられ、それぞれが指定された範囲の入射光を受光して電気信号に変換する撮像部と、前記撮像部で変換された電気信号に応じた電荷を蓄積する電荷蓄積部と、前記電荷蓄積部の蓄積電荷に応じた 2 値データを記憶する撮像データ記憶部と、前記撮像部で撮像を行う場合に用いられる、複数の前記表示素子からなるブロックの表示形態を示す複数の基準パターンを記憶する基準パターン記憶部と、前記撮像部の撮像結果に近似した基準パターンを前記基準パターン記憶部から複数種類選択する基準パターン選択部と、前記基準パターン選択部で選択された基準パターンそれぞれの明暗を反転させた基準パターンを前記表示素子にて表示させた状態で、前記撮像部にて繰返し撮像を行った結果に基づいて、撮像画像に対応するデジタル画像を生成する画像データ生成手段と、を備える。

【0 0 1 2】

【発明の実施の形態】

以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。

図 1 は本発明に係る表示装置の第 1 の実施形態の概略構成図であり、画像取込み機能を有することを特徴としている。図 1 の表示装置は、ガラス基板 3 1 と半導体基板 3 2 とで構成されている。ガラス基板 3 1 上には、信号線及び走査線が列設される画素アレイ部 1 と、信号線を駆動する信号線駆動回路 2 と、走査線を駆動する走査線駆動回路 3 と、画像を取り込んで出力する検出回路&出力回路 4 とが設けられている。これらの回路は、例えばポリシリコン T F T により形成されている。信号線駆動回路 2 は、デジタル画素データを表示素子の駆動に適したアナログ電圧に変換する D/A 変換回路を含む。D/A 変換回路は公知のものをを用いる。半導体基板 3 2 上には、表示制御及び画像取込み制御を行うロジック I C 3 3 が実装されている。ガラス基板 3 1 と半導体基板 3 2 とは、例えば F P C を介して各種信号の送受を行う。

【0 0 1 3】

図 2 は画素アレイ部 1 の一部を詳細に示したブロック図である。図 2 の画素ア

レイ部1は、縦横に列設される信号線及び走査線の各交点付近に形成される画素TF T 1 1と、画素TF T 1 1の一端とCs線との間に接続される液晶容量C 1及び補助容量C 2と、各画素TF T 1 1ごとに2個ずつ設けられる画像取込み用のセンサ1 2 a, 1 2 bとを有する。センサ1 2 a, 1 2 bは、不図示の電源線及び制御線に接続されている。

【0014】

図2では、画像取込みの解像度を上げるために各画素ごとに2個のセンサ1 2 a, 1 2 bを設ける例を示しているが、センサの数に特に制限はない。

【0015】

図3は図2の一部を詳細に示した回路図である。図3に示すように、センサ1 2 a, 1 2 bはそれぞれフォトダイオードD 1, D 2とセンサ切替用トランジスタQ 1, Q 2とを有する。フォトダイオードD 1, D 2は、受光した光の光量に応じた電気信号を出力する。センサ切替用トランジスタQ 1, Q 2は、1画素内の複数のフォトダイオードD 1, D 2のいずれか一つを交互に選択する。

【0016】

各画素は、2つのセンサ1 2 a, 1 2 bと、同一画素内の2つのセンサ1 2 a, 1 2 bで共用されるキャパシタC 3と、キャパシタC 3の蓄積電荷に応じた2値データを格納するバッファ1 3と、バッファ1 3への書込み制御を行うトランジスタQ 3と、バッファ1 3及びキャパシタC 3を初期化するリセット用トランジスタQ 4とを有する。

【0017】

バッファ1 3は、スタティックRAM (SRAM) で構成され、例えば、図4に示すように、直列接続された2つのインバータI V 1, I V 2と、後段のインバータI V 2の出力端子と前段のインバータI V 1の入力端子との間に配置されるトランジスタQ 5と、後段のインバータの出力端子に接続される出力用トランジスタQ 6とを有する。

【0018】

信号SPOLBがハイレベルのときに、トランジスタQ 5はオンし、2つのインバータI V 1, I V 2は保持動作を行う。信号OUTiがハイレベルのときに、保持し

ているデータが検出線に出力される。

【0019】

本実施形態の表示装置は、通常の表示動作を行うこともできるし、スキャナと同様の画像取込みを行うこともできる。通常の表示動作を行う場合は、トランジスタ Q3 はオフ状態に設定され、バッファ 13 には有効なデータは格納されない。この場合、信号線には、信号線駆動回路 2 からの信号線電圧が供給され、この信号線電圧に応じた表示が行われる。

【0020】

一方、画像取込みを行う場合は、図 5 に示すようにアレイ基板 21 の上面側に画像取込み対象物（例えば、紙面）22 を配置し、バックライト 23 からの光を対向基板 24 とアレイ基板 21 を介して紙面 22 に照射する。紙面 22 で反射された光はアレイ基板 21 上のセンサ 12a, 12b で受光され、画像取込みが行われる。

【0021】

取り込んだ画像データは、図 3 に示すようにバッファ 13 に格納された後、検出線を介して、図 1 に示すロジック IC33 に送られる。このロジック IC33 は、本実施形態の表示装置から出力されるデジタル信号を受けて、データの並び替えやデータ中のノイズの除去などの演算処理を行う。

【0022】

図 6 は図 1 に示したロジック IC33 の内部構成を示すブロック図である。図 6 に示すように、ロジック IC33 は、画素アレイ部 1 への表示制御を行う表示制御部 41 と、センサ 12a, 12b の画像取込制御を行う画像取込制御部 42 と、ロジック IC33 全体の制御を行う CPU43 と、CPU43 が作業用に利用するメインメモリ 44 とを有する。

【0023】

画像取込制御部 42 は、図 3 の検出線上の撮像データを一時的に格納するバッファメモリ 45 と、画像取込用の制御信号を生成する制御信号発生回路 46 とを有する。CPU43 は、バッファメモリに格納された撮像データに基づいて取込画像の画像処理を行って表示用の画像データを生成する。

【 0 0 2 4 】

表示制御部 4 1 は、C P U 4 3 が生成した表示用の画像データを一時的に格納するバッファメモリ 4 7 と、図 1 の信号線駆動回路 2 と走査線駆動回路 3 の動作タイミングを制御する制御信号を生成する制御信号発生回路 4 8 とを有する。

【 0 0 2 5 】

画像取込みを行う場合、予め各画素のキャパシタ C 3 に初期電荷を蓄積しておく。センサ 1 2 a, 1 2 b が白っぽい画像を取り込むと、センサ 1 2 a, 1 2 b に電流が流れ、そのセンサ 1 2 a, 1 2 b に対応するキャパシタ C 3 の電荷が放電して、キャパシタ C 3 の両端電圧が低下する。一方、センサ 1 2 a, 1 2 b が黒っぽい画像を取り込むと、センサ 1 2 a, 1 2 b にはあまり電流は流れず、キャパシタ C 3 の両端電圧はほとんど変化しない。

【 0 0 2 6 】

したがって、キャパシタ C 3 の両端電圧を検出することにより、取込画像の濃淡を判断することができる。本実施形態では、キャパシタ C 3 の両端電圧を SRAM からなるバッファ 1 3 に一時的に格納する。このバッファ 1 3 は、キャパシタ C 3 の両端電圧が SRAM の初段のインバータのしきい値電圧以上であれば「1」と判断し、しきい値未満であれば「0」と判断する。

【 0 0 2 7 】

ところが、センサ 1 2 a, 1 2 b による光リーク電流はばらつきが微弱であるため、キャパシタ C 3 の両端電圧にはばらつきが生じやすく、また、SRAM を構成するトランジスタのしきい値電圧もばらつくため、同じ画像を取り込んでも、場合によって、「1」と判断されたり、「0」と判断されたりする。このようなばらつきは、取込画像のノイズとなって現れる。市販のスキヤナなどに良く用いられるシリコンウェハー上に形成される光電変換素子の電流ばらつきと比べて、表示装置のアレイ基板に用いるガラス基板などの絶縁基板上に形成される光電変換素子は、電流ばらつきが大きくなる。後者は、面積が大きく、プロセス温度も低い（基板の耐熱温度に制約される）ため、均一形成が難しい。従って、表示装置特有のばらつき補償手段がなんらかの形で必要となる。また、撮像対象の微妙な階調を再現できることが望ましいが、上記ばらつきにより阻害される。以下で

は、特性ばらつきの大きいトランジスタおよびリーク電流ばらつきのある光電変換素子で構成されるセンサ回路でありながら、ノイズを少なくできる、あるいは、階調表示を再現することができる手段および構成を説明する。

【0028】

図6に示すCPU43は、センサ12a, 12bによる撮像条件を変えて複数回にわたって画像取込みを行い、これら複数回の画像取込みの結果に基づいて、最終的な取込画像データを生成する。具体的には、図7に示すように、キャパシタC3への印加電圧 V_{prc} を4通りに変化させて、各電圧 V_{prc} をキャパシタC3に印加した状態でそれぞれ画像取込みを行うための制御信号をガラス基板に供給する。また、ガラス基板から出力される画像取り込みの結果のデジタルデータの演算処理を行う。ガラス基板に入力する信号（デジタル画素データ、制御クロック、制御信号）も、ガラス基板から出力される信号もデジタル信号（撮像結果に基づくデジタル信号）であるから、図6に示す表示制御部と画像取り込み制御部はワンチップ半導体上に形成することが容易である。仮にガラス基板上にD/A変換回路が無い場合は、表示制御部に増幅回路（アナログ回路）が必要となり、ワンチップ化は高コストになってしまうのに比べ有利な構成である。また、近年の半導体製造プロセスの微細化進展・集積度向上に伴い、図6のCPUおよびメインメモリも、表示制御部と画像取り込み制御部とワンチップ化してしまうことも容易である。

【0029】

図8はCPU43の処理動作の一例を示すフローチャートである。まず、CPU43は、各画素ごとに設けられる図3のキャパシタC3の一端に電圧 $V_{prc}=3.5V$ （SRAMの初段インバータの閾値に比較的近い値。インバータの閾値は電源電圧(5V)の半分の2.5Vを中心にはばらつく。）を印加して、このキャパシタC3に初期電荷を蓄積する（ステップS1）。

【0030】

次に、1回目の画像取込みを行う（ステップS2）。この場合、画像の白い部分、あるいは、白に近いグレーを読み取ったセンサ12a, 12bには電流が流れ、キャパシタC3の初期電荷が放電して、キャパシタC3の両端電圧が低下す

る。一方、画像の黒い部分を読み取ったセンサ 1 2 a, 1 2 b には電流が流れないため、キャパシタ C 3 の両端電圧はほとんど変化しない。

【0 0 3 1】

ステップ S 2 では、キャパシタ C 3 の両端電圧が SRAM の初段のインバータのしきい値電圧より高い場合には、その画素は黒であると判断する。すなわち、まず、取込画像の中で、黒色の部分だけをステップ S 2 で抽出し、抽出された画素を黒色の画素値として確定し、その他の画素を白色の画素値として、メインメモリ 4 4 に格納する（ステップ S 3）。キャパシタ C 3 のプリチャージ電圧が SRAM の初段インバータの閾値電圧に比較的近い電圧としているため、センサ部に対向する画像の部分が多少なりとも白よりだと、幾ばくかのリーク電流が生じ、キャパシタ C 3 の電位は、SRAM の初段インバータの閾値電圧より下回る確立が高くなる。逆にいえば、この状態で、C 3 の電圧がインバータの閾値電圧より上のままであり続けるということは、対応する画像の部分はまず間違いなく黒と判断してよいということになる。

【0 0 3 2】

例えば、図 9 は名刺（白地に黒文字）の画像を取り込んだ例であり、図 9（a）はステップ S 1 ～ S 3 で得られる取込画像を示している。ステップ S 3 では、よっぽど黒っぽい画素のみを黒として検出するため、図 9（a）のように、全体的に白っぽくて、文字が多少かすれた画像が得られる。

【0 0 3 3】

次に、キャパシタ C 3 の一端に電圧 $V_{prc} = 4 \text{ V}$ を印加して、このキャパシタ C 3 に初期電荷を蓄積し（ステップ S 4）、2 回目の画像取込みを行う（ステップ S 5）。この場合、1 回目よりもわずかに白っぽい画素まで、黒と判断される可能性がある。

【0 0 3 4】

2 回目の画像取込みが終わると、1 回目が白色で、2 回目が黒色と判断された画素を抽出し、抽出画素の周囲 8 画素の 1 回目の画素値の平均値を計算し、この平均値を抽出画素の画素値とする（ステップ S 6）。

【0 0 3 5】

図9 (b) はステップS 4～S 6で得られる取込画像を示している。図9 (a) よりもわずかに白っぽい画像も黒と判断するため、図9 (a) よりも全体的に黒っぽい画像が得られる。

【0036】

このステップS 6では、例えば、図10の斜線部で示す画素が抽出画素であるとする、その周囲8画素の画素値G 1～G 8の平均値 $(G1+\cdots+G8)/2$ を抽出画素の画素値とする。G 1～G 8が全て白ならば、画素値は白となるが、G 1～G 8に白、黒がいくつかづつあると、画素値は中間調となる。

【0037】

次に、キャパシタC 3の一端に電圧 $V_{prc}=4.5\text{ V}$ を印加して、このキャパシタC 3に初期電荷を蓄積し（ステップS 7）、3回目の画像取込みを行う（ステップS 8）。この場合、2回目よりもわずかに白っぽい画素まで、黒と判断される可能性がある。

【0038】

図9 (c) はステップS 7～S 9で得られる取込画像を示している。図9 (b) よりもわずかに白っぽい画像も黒と判断するため、図9 (b) よりも全体的に黒っぽい画像が得られる。

【0039】

3回目の画像取込みが終わると、2回目が白色で、3回目が黒色と判断された画素を抽出し、抽出画素の周囲8画素の1回目の画素値の平均値を計算し、この平均値を抽出画素の画素値とする（ステップS 9）。

【0040】

次に、キャパシタC 3の一端に電圧 $V_{prc}=5\text{ V}$ を印加して、このキャパシタC 3に初期電荷を蓄積し（ステップS 10）、4回目の画像取込みを行う（ステップS 11）。この場合、3回目よりもわずかに白っぽい画素まで、黒と判断される可能性がある。

【0041】

図9 (d) はステップS 10～S 12で得られる取込画像を示している。図9 (c) よりもわずかに白っぽい画像も黒と判断するため、図9 (c) よりも全体

的に黒っぽい画像が得られる。

【 0 0 4 2 】

4 回目の画像取込みが終わると、3 回目が白色で、4 回目が黒色と判断された画素を抽出し、抽出画素の周囲 8 画素の 1 回目の画素値の平均値を計算し、この平均値を抽出画素の画素値とする（ステップ S 1 2）。

【 0 0 4 3 】

ステップ S 1 2 の処理を行った結果として得られる画像は、図 1 1 に示すものになり、中間調まで表現でき、かつノイズも除去できることがわかる。

【 0 0 4 4 】

図 1 2 は「T」の文字を含む画像の一例を示す図、図 1 3 は図 1 2 の点線行の画像取込みを行った結果を示す図である。図示のように、1 回目の画像取込時には、画素 P 7 のみが「H」になる。したがって、この時点では、画素 P 7 のみ、黒色と決定され、画素 P 7 には黒色の画素値が割り当てられる。

【 0 0 4 5 】

次に、2 回目の画像取込みを行うと、画素 P 9 が新たに「H」となる。したがって、その周囲 8 画素の前回の画素値（この場合、すべて白色の画素値）の平均値を画素 P 9 の画素値とする。

【 0 0 4 6 】

次に、3 回目の画像取込みを行うと、画素 P 4 が新たに「H」となる。したがって、その周囲 8 画素の前回の画素値（この場合、すべて白色の画素値）の平均値を画素 P 4 の画素値とする。

【 0 0 4 7 】

次に、4 回目の画像取込みを行うと、すべての画素 P 1 ～ P 1 5 が「H」になる。したがって、残りの全画素 P 1 ～ P 3、P 5、P 6、P 8、P 9、P 1 1 ～ P 1 5 について、その周囲 8 画素の前回の画素値の平均値に基づいて画素値を決定する。

【 0 0 4 8 】

このような手法で、図 1 2 の全ラインについて図 8 の処理を行うと、最終的に図 1 4 のような画像が得られる。図 1 4 を見ればわかるように、画像取込み時の

ノイズを除去できるとともに、中間色まで再現できる。

【0049】

本実施形態では、図8のフローチャートで示したように、撮影条件を変えて複数回（回数は多いほど、画像再現の精度が高くなる。）画像取込みを行い、各回の画像取込結果に基づいて最終的な取込画像を決定するため、各回の画像取込み結果を記憶しておく必要がある。例えば、図15に示すように、各回の画像取込み結果をメインメモリ44に格納しておくようにすると、必要なメモリ容量が多くなる。セット全体の小型化の要求の強い、携帯電話などの小型情報端末への適用を考えると、限られた計算資源で可能な演算処理が望ましい。計算資源の例として、CPUが計算を行うためのデータを保持するためのメモリがあげられる。

【0050】

このため、本実施形態では、画像取込制御部42内にバッファメモリ45を設け、このバッファメモリ45に1回分の画像取込み結果を格納しておき、この画像取込み結果をメインメモリ44に転送する。CPU43は、図8のフローチャートに従ってメインメモリ44のデータを利用して1回分の処理を行い、その処理結果をメインメモリ44の他の記憶領域に格納する。その間に、バッファメモリ45は次の回の画像取込み結果を格納する。以後、同様の動作を繰り返すことにより、最終的な取込画像が得られる。

【0051】

この場合、図16に示すように、メインメモリ44には、1回分の画像取込み結果のみが格納されるので、メインメモリ44の容量を削減できる。

【0052】

このように、本実施形態では、撮影条件を変えて複数回画像取込みを行った結果に基づいて、最終的な取込画像を決定するため、センサ12a, 12bの特性ばらつきやSRAMのしきい値電圧のばらつき等の影響を受けずに画像取込みを行うことができ、ノイズが少なく、中間調まで再現できる取込画像が得られる。

【0053】

上述した実施形態では、複数の撮影条件として、キャパシタC3に印加する電圧を変える例を説明したが、キャパシタC3に印加する電圧を変える代わりに、

画像取込みを行う時間を各撮影条件ごとに変えてもよい。あるいは、液晶の透過率を変えても良い。条件のバリエーションの具体的な例を図9に示したが、他にも同様の趣旨でのバリエーションが可能である。

【0054】

また、キャパシタC3に印加する電圧を変えるとともに、画像取込みを行う時間を変化させてもよい。この場合、撮影条件の数をより増やすことができる。

【0055】

（第2の実施形態）

撮像対象の濃淡は必ずしも一様ではなく、場所によって黒の密度が異なる。例えば、図17（a）の「東芝松下ディスプレイ」という文字をセンサで撮像する場合、図17（b）のような撮像結果が得られる。図示のように、「東」という文字は他の文字よりも黒の密度が高いため、黒くつぶれてしまう。逆に、「レ」や「イ」という文字は黒の密度が低いため、ほとんど線が消えかかっている。

【0056】

このように、黒の密度の高い文字が黒つぶれするのは、周囲の白色紙面／ガラス基板界面での多重反射光が入射しにくいためであり、逆に黒の密度が低い文字の線が消えかかるのは、多重反射光が余計に入射して黒線幅が細くなるためである。

【0057】

そこで、以下に説明する第2の実施形態では、撮像対象の部分的な黒密度のばらつきを考慮に入れて画像取込みを行うことを特徴とする。その際、単なるセンサアレイと異なり、表示装置に一体化されていることを積極的に利用して、センサ等の特性ばらつきを各画素の輝度を調節することによって補償する。

【0058】

図18は本発明に係る表示装置の第2の実施形態の全体構成を示すブロック図である。図18の表示装置は、画素アレイ部1と駆動回路の一部が形成されたガラス基板31と、このガラス基板31にフレキシブルケーブル（FPC）51で接続された制御回路基板52とを備えている。

【0059】

ガラス基板 31 上には、画素TFT 11 及び画像読取用センサ 12 が列設された画素アレイ部 1 と、信号線を駆動する信号線駆動回路 2 と、走査線を駆動する走査線駆動回路 3 と、センサ 12 を制御するセンサ制御回路 53 と、センサ 12 の撮像結果を出力する信号処理出力回路 54 とが形成されている。ガラス基板 31 上の各回路は、例えばポリシリコンTFTにより形成される。

【0060】

制御回路基板 52 上には、ガラス基板 31 上の各回路を制御するコントロール IC 55 と、画像データ等を記憶するメモリ 56 と、ガラス基板 31 及び制御回路基板 52 で使用する各種の直流電圧を出力する電源回路 57 とが実装されている。なお、コントロール IC 55 とは別個にCPUを設けてもよいし、メモリ 56 や電源回路 57 をコントロール IC 55 と一体化してもよいし、ディスクリート部品を制御回路基板 52 上に実装してもよい。

【0061】

図 19 は、ガラス基板 31 上の信号線駆動回路 2、走査線駆動回路 3、センサ制御回路 53 及び信号処理出力回路 54 と、制御回路基板 52 上のコントロール IC 55 及びメモリ 56 との接続関係を示すブロック図である。

【0062】

図示のように、コントロール IC 55 の内部には、表示制御部 41、画像取込制御部 42 及びCPUが内蔵されている。表示制御部 41 は、信号線駆動回路 2 及び走査線駆動回路 3 に対して、デジタル画素データと、同期信号やクロック信号等の制御信号とを送信する。画像取込制御部 42 はセンサ制御回路 53 及び信号処理出力回路 54 に対して制御信号を送信し、信号処理出力回路 54 からの撮像データ及び必要に応じて撮像データの位置を明示するための同期信号を受信する。表示制御部 41 の内部にはバッファメモリ 47 及び制御信号発生回路 48 が設けられ、画像取込制御部 42 の内部にもバッファメモリ 45 及び制御信号発生回路 46 が設けられている。

【0063】

図 20 はガラス基板 31 の詳細構成を示すブロック図である。本実施形態の画素アレイ部 1 は、水平方向320画素×垂直方向240画素の表示解像度を有する。画

素は水平方向に赤、青、緑の部分に分割され、それぞれごとに信号線が設けられる。信号線の総数は、 $320 \times 3 = 960$ 本で、走査線の総数は240本である。

【0 0 6 4】

走査線駆動回路 3 は、240段のシフトレジスタ 6 1 と、SHUT（誤動作防止回路） 6 2 と、レベルシフタ 6 3 と、マルチプレクサ（MUX回路） 6 4 と、バッファ 6 5 とを有する。

【0 0 6 5】

信号処理出力回路 5 4 は、960個のプリチャージ回路 6 6 と、3 選択デコーダ 6 7 と、320段のシフトレジスタ 6 8 と、8 個の出力バッファ 6 9 とを有する。

【0 0 6 6】

図 2 1 は走査線駆動回路 3 の詳細構成を示す回路図である。図 2 1 で特徴的な部分は、レベルシフタ 6 3 の後段にMUX回路 6 4 を設けたことである。このMUX回路 6 4 は、走査線を 1 ラインごとにオンするか、全走査線を同時にオンするかを切り替える。全走査線を同時にオンするのは、センサ 1 2 による撮像結果を格納するキャパシタ C 3 に初期電荷を蓄積するためである。

【0 0 6 7】

このように、MUX回路 6 4 を設けることにより、キャパシタ C 3 に初期電荷を蓄積するか否かを切り替える専用のTFTが不要となり、回路規模を削減できる。

【0 0 6 8】

図 2 2 は信号処理出力回路 5 4 の詳細構成を示すブロック図である。図 2 2 の信号処理出力回路 5 4 は、同期信号を出力する同期信号発生回路 7 1 と、120本の信号線から供給される撮像データを 1 本のシリアルデータに変換する 8 つのP/S変換回路 7 2 と、各P/S変換回路 7 2 から出力されたシリアルデータをバッファリングする出力バッファ 7 3 と、撮像データの平均階調を検出するカウンタ 7 4 とを有する。ここで「平均階調」とは、出力データの階調を複数画素にわたって平均したものをいう。最終的に256階調の画像を構成しようとする場合、10画素中5画素が白、残り5画素が黒のデータの場合、平均階調は、 $256[\text{階調}] \times 5[\text{画素}] / 10[\text{画素}] = 128[\text{階調}]$ とする。

【0 0 6 9】

図 2 3 は同期信号発生回路 7 1 の詳細構成を示すブロック図である。図 2 3 の同期信号発生回路 7 1 は、NANDゲート 7 5 及びクロック制御されるD型F/F 7 6 を有し、D型F/F 7 6 の後段には出力バッファ 7 3 が接続されている。絶縁基板上に形成されるNANDゲート等の組み合わせ回路のみでは、TFTの特性ばらつきのため出力データに対する位相ばらつきが大きくなり、同期信号の役割を果たせないことがある。そこで図 2 3 のように絶縁基板上のクロックによって制御されるD型F/Fを設けることによって、絶縁基板上のクロックとの位相差を小さくすることが好ましい。

【 0 0 7 0 】

図 2 4 はP/S変換回路 7 2 の詳細構成を示すブロック図である。図 2 4 のP/S変換回路 7 2 は、3 入力 1 出力のデコーダ 7 7 と、ラッチ 7 8 と、40 段のシフトレジスタ 7 9 とを有する。デコーダ 7 7 は、図 2 5 のような回路で構成される。ラッチ 7 8 は、図 2 6 のような回路で構成される。シフトレジスタの制御に用いるクロックは図 2 3 のD型F/Fの制御に用いるクロックと共通化とすることによって、データと、同期信号との位相差を小さくすることができる。

【 0 0 7 1 】

図 2 7 は出力バッファ 7 3 の詳細構成を示すブロック図である。図示のように、複数のバッファ（インバータ） 8 0 を縦続接続して構成される。後段のバッファほど、各インバータを構成するTFTのチャネル幅を大きくして必要な外部負荷（フレキシブルケーブル（FPC） 5 1 等）駆動力を確保する。

【 0 0 7 2 】

図 2 8 は画素アレイ部 1 の 1 画素分の詳細回路図、図 2 9 はガラス基板 3 1 上の 1 画素分のレイアウト図である。図示のように、1 画素は、R G B の 3 つの副画素 81r, 81g, 81b からなり、各副画素は、画素 TFT 1 1 と、補助容量 Cs に電荷を蓄積するか否かを制御する表示制御 TFT 8 2 と、画像取込センサ 1 2 と、センサ 1 2 の撮像結果を格納するキャパシタ C 3 と、キャパシタ C 3 の蓄積電荷に応じた 2 値データを格納する SRAM 8 3 と、キャパシタ C 3 に初期電荷を蓄積するための初期化用 TFT 8 4 と、SRAM 8 3 のデータ保持用 TFT 8 5 とを有する。ここで、各画素の輝度は、補助容量 Cs に蓄積された電荷に基づいて決まる画素電極電位と、

対向基板上に形成されたコモン電極の電位との差によって階調制御される。

【0073】

キャパシタC3の初期化を行う場合は、画素TFT11と初期化用TFT84をオンする。表示素子の輝度を設定するためのアナログ電圧（アナログ画素データ）を補助容量Csに書き込む場合は、画素TFT11と表示制御TFT82をオンする。SRAM83のデータ保持（リフレッシュ）を行う場合は、初期化用TFT84とデータ保持用TFT84をオンする。SRAM83に格納された撮像データを信号線に供給する場合は、画素TFT11とデータ保持用TFT85をオンする。

【0074】

図30は本実施形態の表示装置の動作を説明する図である。通常の表示を行う場合には、モードm1の動作を行う。一方、センサ12による画像取込を行う場合は、まずモードm1の動作を行い全画素の輝度を所定値に設定する。次にモードm2で全画素のキャパシタC3のプリチャージ（初期電荷の蓄積）を行う。次に、モードm3で1画面分の赤色成分の画像取込を行う。次に、モードm4で1画面分の緑色成分の画像取込を行う。そして最後に、モードm5で1画面分の青色成分の画像取込を行う。

【0075】

図31～図33はモードm1～m5の動作タイミング図である。以下、これらの図を用いてモードm1～m5の動作タイミングを順に説明する。

【0076】

モードm1では、図31の時刻t1～t2に示すように、走査線駆動回路3は走査線を順に駆動し、そのタイミングに合わせて、信号線駆動回路2は各水平ラインごとに信号線にアナログ画素データを供給して画素表示を行う。アナログ画素データは、コントロールIC55から出力されるデジタル画素データを公知のD/A変換回路によって変換して得る。D/A変換回路は公知の技術（特開2000-305535等）によってガラス基板上に信号線駆動回路として薄膜形成する。

【0077】

モードm2では、図32の時刻t3に示すように、走査線駆動回路3はすべての走査線を同タイミングで駆動する。全画素のセンサ容量C3にプリチャージ電

圧(5V)が蓄積される。時刻 t_4 で初期化用TFT84とデータ保持用TFT85がともにオンし、SRAM83はリフレッシュ動作を行う。時刻 t_3 から時刻 t_4 の間にセンサ容量C3のプリチャージが完了していなくても、SRAM83のリフレッシュ動作により、全てのセンサ容量C3のプリチャージ電圧がSRAMの電源電圧(5V)に揃う。

【0078】

モードm3では、図32の時刻 $t_5 \sim t_6$ に示すように、各水平ラインごとに赤色成分の撮像データが信号線に供給される。各信号線に供給された赤色成分の撮像データは、図22に示すP/S変換回路72でシリアルデータに変換されて、8本のデータ線で外部に出力される。

【0079】

モードm4では、図33の時刻 t_7 に示すように、各水平ラインごとに緑色の撮像データが信号線に供給される。モードm5では、図33の時刻 t_8 に示すように、各水平ラインごとに青色の撮像データが信号線に供給される。

【0080】

図18のコントロールIC55は、320画素×240画素の表示領域を、図34に示すように40画素×30画素からなるブロック単位に分割し（水平方向8ブロック×垂直方向8ブロックが形成される）、各ブロックごとに表示輝度を個別に設定した状態で、センサ12による撮像を行う。これは本発明の特徴のひとつである。従来のCMOSイメージセンサと異なり、単にセンサを形成しただけではなく、各画素ごとの輝度制御手段を撮像時に積極的に活用することによって、センサやTFT特性の面内ばらつきを補償し、撮像画面の高品質化（均一性確保等）を図ることができる。

【0081】

図35は図18のコントロールIC55が行う処理動作の一例を示すフローチャートである。まず、各ブロックが所定の基準輝度（例えば、最大輝度の80%）になるように各ブロックの画素表示を行いながら、撮像時間を変化させて、複数回の撮像を行う（ステップS21）。ここでは、例えば、撮像時間を10msec～50msecまで5msec単位で切替ながら9回撮像（試行撮像）を行う。

【0082】

次に、試行撮像結果に基づいて（撮像時間対平均階調のグラフの内挿によって）各ブロックごとに、ブロック内の平均階調が略中央値（256階調の場合は、128階調の値）になるような撮像時間 $t(m,n)$ を求める（ステップS22）。 $t(m,n)$ はセンサのリーク電流ばらつき、TFTの特性ばらつき、撮像対象の光反射特性、撮像対象の色、図形や文字などの線分の密度分布などによって様々に変化する。

【0083】

図36に示すように、撮像時間を変えることで、平均階調は大きく変化するため、上述したステップS22では、ブロックごとに最適な撮像時間を求める。

【0084】

次に、求めた撮像時間 $t(m,n)$ が基準時間（例えば、30msec）未満か否かをブロックごとに判定する（ステップS23）。基準時間未満のブロックについては、表示輝度 Y を基準輝度（例えば、最大輝度の80%）よりも低くし（ステップS24）、基準時間以上のブロックについては、表示輝度 Y を基準輝度以上にする（ステップS25）。つまり、最適な撮像時間のばらつきを表示素子の輝度（撮像対象に照射する光量）で補償するのである。このような補償方法は従来のCMOSイメージセンサの技術の延長にはない。なお、撮像時間をブロックごとに変えるのは制御が複雑となり実用的でない。

【0085】

より具体的には、例えば、以下の(1)式に基づいて、各ブロックの表示輝度 Y を設定する。ただし、 m は行、 n は列を表している。

【0086】

【数1】

$$Y(m,n) = 80\% \cdot \frac{t(m,n)}{30} \quad (1)$$

(1)の計算結果が100%を超える場合には、 $Y(m,n) = 100\%$ とする。なお、式(1)は例であって、表示素子の特性、センサの特性、撮像対象の特性に応じ

て変形すべきである。要は最適撮像時間のばらつきを表示輝度で保証するようなものであればよい。

【 0 0 8 7 】

次に、撮像時間を例えば0.5msec刻みで変えながら、撮像時間10msec～50msecまで81枚の撮像を行う（ステップS 2 6；本撮像）。

【 0 0 8 8 】

次に、81枚の撮像結果の平均値を計算し、最終的な撮像データを得る（ステップS 2 7）。例えば、図 3 7 はステップS 2 7 で得られる撮像データの一例を示している。このとき、撮像時間を同じ間隔で変えながら撮像を行うのではなく、図 3 7 及び図 3 8 に示すように30msec付近の撮像を多めに行うなどの重み付けを行って、例えば、81枚より少ない回数の撮像結果を用いて平均値を計算してもよい。全体の処理時間を短縮できる。あるいは、平均値を計算する際に、各撮像結果に重み付けをしてもよい。

【 0 0 8 9 】

図 3 5 のような処理を行うことで、図 3 4 に示すように撮像対象に黒密度のばらつきがあっても、図 3 9 に示すように、部分的な黒つぶれやかすれのない良好な撮像結果が得られる。

【 0 0 9 0 】

このように、第 2 の実施形態では、撮像対象の黒密度を事前に（試行撮像によって）調べて、撮像対象に適した表示輝度をブロック単位で設定した状態で、センサ 1 2 による撮像を行うため、部分的な黒つぶれやかすれのない、均一な画質の撮像画像が得られる。

【 0 0 9 1 】

本実施形態では、撮像対象の黒密度の分布の偏りに起因する撮像結果の黒つぶれを解決する手法を説明したが、センサのリーク電流の偏りやTFTの特性ばらつきの偏り等に起因する撮像結果の画質劣化の解決手段としても、同様の効果を奏する。

【 0 0 9 2 】

また、試行撮像の後の本撮像の動作を次のような手順で行ってもよい。

(R1) 図 3 0 のモード m 1 を行い、液晶の表示を全面赤表示にする。但し試行撮像に基づいて各ブロックごとに階調は変化させる。

(R2) モード m 2 を行い、全てのセンサ容量のプリチャージを行う。

(R3) モード m 3 , m 4 , m 5 を行い、赤信号線、緑信号線及び青信号線に属する画素の撮像データも出力する。

(G1) モード m 1 を行い、液晶の表示を全面緑表示にする。但し試行撮像に基づいて各ブロックごとに階調は変化させる。

(G2) モード m 2 を行い、全てのセンサ容量のプリチャージを行う。

(G3) モード m 3 , m 4 , m 5 を行い、赤信号線、緑信号線及び青信号線に属する画素の撮像データも出力する。

(B1) モード m 1 を行い、液晶の表示を全面青表示とする。但し試行撮像に基づいて各ブロックごとに階調は変化させる。

(B2) モード m 2 を行い、全てのセンサ容量のプリチャージを行う。

(B3) モード m 3 , m 4 , m 5 を行い、赤信号線、緑信号線及び青信号線に属する画素の撮像データも出力する。

【 0 0 9 3 】

一見、表示を全面赤として撮像を行う際、緑画素及び青画素のセンサのデータは無意味と思ひ込みやすいがそうではない。とくに光源（液晶層の背面に設けるバックライトの光が拡散光であり撮像面にいろいろな角度から光が照射されるような場合で、かつ、図 5 のように液晶セルの観察面側にセンサアレイが配置される構成の場合に意義がある。従来の密着 CMOS イメージセンサと異なり、センサは撮像対象と密着できず、 d （ガラス基板厚+偏光板などの光学フィルム厚）程度（0.2乃至0.7mm）は離れる。バックライト光は確かに赤画素からのみ発するが、撮像対象での反射光は適当に拡散する。拡散範囲は d 程度であり画素ピッチは d 程度かそれより小さい。したがって、緑画素及び青画素のセンサにも撮像対象に基づく光が入射する。上述の（R1）～（B3）の処理を行うことにより、水平方向により高解像度な撮像結果を得ることができる。以下撮像時間を変えながら複数回繰り返して平均化処理する部分は詳述した実施形態と同様なので省略する。

【 0 0 9 4 】

試行撮像では結局、各ブロックごとの平均階調を知れば足りることに着目すると、試行撮像においては、カウンタによる平均階調の計数結果のみブロックごとに出力するように構成してもよい。8 個のデータ出力回路を停止して外部負荷駆動するための消費電力を節約することができる。

【0 0 9 5】

また、本実施形態ではSRAMを画素内に設け、①センサの微弱な電流の増幅、②撮像後データを出力するまでの間のデータ保持をさせているが、SRAMに限定されない。ソースフォロアで①の電流増幅をしてもよい。撮像後データを出力するまでの間、リークなどのためデータを保持し続けることができない場合は、撮像直後にデータを出力するような制御回路及びシーケンスを用意すればよい。

【0 0 9 6】

また、表示画面を区分してブロックごとに撮像時の表示輝度を調節する例を説明したが、対角画面寸法が比較的小さい表示装置（2インチ程度以下の携帯電話向け等）の場合や、センサやTFTの特性のチップ内ばらつきが小さい場合は、画面を分割せずに（分割数＝1として）適用してもよい。その場合さらに、試行撮像と本撮像を分けずに次のように行ってもよい。

【0 0 9 7】

すなわち、（1）まず、撮像時間を $t_0=10\text{msec}$ （どんな撮像対象でも殆どセンサに光リークが生じず、黒つぶれ画面が得られるような時間）で最初の撮像データ出力と、平均階調の計数を行う。最初の撮像データはコントロールIC 5 5等のメモリに保存する。

【0 0 9 8】

（2） $t=t_0+\Delta t$ （例えば $\Delta t=0.5\text{msec}$ ）として2回目の撮像をし、平均階調の計数を行う。

【0 0 9 9】

（3）平均階調が所定値未満であれば、撮像データを出力することなく、撮像時間を $t=t+2\Delta t$ として、撮像と平均階調の計数を行う。

【0 1 0 0】

（4）計数結果が所定値以上であれば撮像データを出力してコントロールIC 5

5等のメモリに加算する。

【0 1 0 1】

(5) (2) ~ (4) を平均階調が256階調程度になるまで撮像時間 t を適当に増やしながら繰り返す。

【0 1 0 2】

上述した(1) ~ (5)によりメモリ上に完成する画像を上述の実施形態で得られるものと同等の高品位な撮像結果と考えることができる。しかも画像演算のためのメモリは1フレーム程度しか要しない。ハード資源に制約のある携帯電話などで特に有効である。

【0 1 0 3】

(第3の実施形態)

第2の実施形態の場合、ブロックごとに表示輝度を設定するため、場合によっては、隣接するブロック同士が著しく表示輝度が異なる場合もありうる。

【0 1 0 4】

図40は第2の実施形態における各ブロックの表示輝度の一例を示す図であり、横軸はブロックの位置、縦軸は表示輝度を表している。理解がしやすいように、特定の1行に属するブロックを抜き出した。また、図41は第2の実施形態における隣接する4ブロックの撮像画像を図式化した図である。これらの図に示すように、隣接するブロック同士の表示輝度が不連続に変化している。このため、隣接するブロック同士で輝度差が大きいと、白密度の多い撮像対象を撮像したときに、図41のような色ムラが起きるおそれがある。たとえば同じ白地のはずなのに、撮像結果は市松状のブロックごとに白さが違って見えてしまうようなことが起こる。

【0 1 0 5】

そこで、第3の実施形態では、各ブロック内の中央画素については、図35と同様の処理により表示輝度を設定し、中央画素から徐々に表示輝度を変化させ、隣接ブロックの境界付近の輝度差があまり生じないようにする。

【0 1 0 6】

図42は図40と同じ条件で撮像を行った場合の第3の実施形態の処理結果を

示す図、図 43 は第 3 の実施形態における隣接する 4 ブロックの撮影画像を図式化した図である。これらの図に示すように、隣接するブロック間で輝度差が大きく変化しなくなる。

【0107】

このように、第 3 の実施形態では、ブロックの中央画素から周辺にかけて徐々に輝度を変化させ、隣接するブロック間で輝度が大きく変化しないようにしたため、ブロック間の輝度差による撮像画像の色ムラがなくなる。

【0108】

(第 4 の実施形態)

第 4 の実施形態は、センサ 12 による撮像結果を、予め用意した基準パターンとパターンマッチングするものである。

【0109】

図 44 は本発明に係る表示装置の第 4 の実施形態の概略構成を示すブロック図である。図 44 の表示装置は、図 19 の構成に加えて、複数の基準パターンを格納する基準パターン格納部 86 を備えている。

【0110】

図 45 は基準パターン格納部に格納されている基準パターンの一例である。各基準パターン 1a, 1b, 1c, 2a, 2b, 2c, 2d, 3a, 3b, 3c, 3d は、8 画素×8 画素のサイズであり、黒で示した部分がパターンを示している。なお、基準パターンのサイズや種類は図示したものに限定されない。

【0111】

図 46 は本実施形態のコントロール IC 55 が行う処理動作を示すフローチャートである。以下では、仮に図 47 のような撮像対象をセンサ 12 で撮像した結果、図 48 のような撮像データが得られたとして、図 46 のフローチャートの処理動作を説明する。

【0112】

本実施形態のコントロール IC 55 は、センサ 12 の撮像データを基準パターン格納部 86 に格納されているすべての基準パターンと比較する（ステップ S31）。

【0113】

図45の各基準パターンの上部に付された数字は、図48の撮像データとの不一致画素数である。コントロールIC55は、不一致画素数の少ない基準パターンをいくつか選択する（ステップS32）。例えば、コントロールIC55が図45の4つの基準パターン1a, 1b, 1c, 1dを選択したとする。

【0114】

次に、コントロールIC55は、選択した基準パターンの明暗を反転させたパターン（図49の反転パターンn1a, n1b, n1c, n1d）を生成し（ステップS33）、この反転パターンを画素アレイ部1に順に表示させながら、センサ12による撮像を繰返し行う（ステップS34）。この場合、図49の反転パターンn1a, n1b, n1c, n1dの白部分のみ光が透過するため、センサ12の撮像データは図50のようになる。撮像データr1aは基準パターン1aと反転パターンn1aに対応し、撮像データr1bは基準パターン1bと反転パターンn1bに対応し、撮像データr1cは基準パターン1cと反転パターンn1cに対応し、撮像データr1dは基準パターン1dと反転パターンn1dに対応する。

【0115】

次に、撮像データの中から、白色画素数がより少ない基準パターンをいくつか選択する（ステップS35）。例えば、図50の例では、2つの基準パターン1a, 1bを選択する。

【0116】

次に、選択した基準パターンに基づいて、最終的な撮像結果を得る（ステップS36）。ここでは、選択した基準パターンと最初に得られた撮像データとを平均化するなどして、図51に示す最終的な撮像結果を得る。

【0117】

このように、第4の実施形態では、予め基準パターンを複数種類用意し、センサ12による撮像データを基準パターンと比較して最終的な撮像データを生成するため、センサ12の解像度をあまり高くすることなく、高品質の撮像データが得られる。特に、本実施形態は、形状が予めパターン化されている撮像対象を撮像する場合に特に効果が大きい。

【0 1 1 8】

上述した各実施形態では、本発明に係る表示装置を液晶表示装置に適用した例について説明したが、本発明は、EL (Electroluminescence) 表示装置やPDP (Plasma Display Panel) などの他の表示装置にも適用可能である。

【0 1 1 9】**【発明の効果】**

以上詳細に説明したように、本発明によれば、複数の撮影条件で画像取込みを行った結果に基づいて取込画像のデジタル画像データを生成するため、撮像部の特性ばらつき等の影響を受けることなく画像取込みを行うことができ、取込画像の品質を向上できる。また、複数回の画像取り込みおよび演算を行うにもかかわらず、多くの計算資源を要しない。

【0 1 2 0】

また、本発明によれば、表示素子の表示輝度をブロックごとに設定した状態で撮像部による撮像を行うため、撮像対象に部分的な黒密度のばらつきがあっても、黒つぶれやかすれのない高品質の撮像画像が得られる。

【0 1 2 1】

さらに、本発明は、撮像部による撮像結果を、予め用意した基準パターンと比較して、その比較結果に基づいて最終的な撮像データを生成するため、撮像部の解像度を上げなくても、撮像対象に忠実な撮像データが得られる。

【図面の簡単な説明】**【図 1】**

本発明に係る表示装置の第 1 の実施形態の概略構成図。

【図 2】

画素アレイ部 1 の一部を詳細に示したブロック図。

【図 3】

図 2 の一部を詳細に示した回路図。

【図 4】

SRAMの内部構成を示す回路図。

【図 5】

表示装置の断面図。

【図 6】

図 1 に示したロジック IC の内部構成を示すブロック図。

【図 7】

キャパシタに印加する電圧を切り替える例を示す図。

【図 8】

CPU の処理動作の一例を示すフローチャート。

【図 9】

名刺の画像を取り込む例を示す図。

【図 10】

周囲 8 画素の平均を取る様子を示す図。

【図 11】

図 8 の処理結果を示す画像の例を示す図。

【図 12】

「T」の文字を含む画像の一例を示す図。

【図 13】

図 12 の点線行の画像取込みを行った結果を示す図。

【図 14】

図 13 の画像を取り込んだ結果として最終的に得られる図。

【図 15】

各撮影条件での画像取込み結果を別個にメインメモリに格納する例を示す図。

【図 16】

メインメモリの容量を削減する例を示す図。

【図 17】

(a) は撮像対象の一例を示す図、(b) は撮像結果の一例を示す図。

【図 18】

本発明に係る表示装置の第 2 の実施形態の全体構成を示すブロック図。

【図 19】

ガラス基板上の信号線駆動回路、走査線駆動回路、センサ制御回路及び信号処

理出力回路と、制御回路基板上のコントロールIC及びメモリとの接続関係を示すブロック図。

【図 2 0】

ガラス基板 3 1 の詳細構成の一例を示すブロック図。

【図 2 1】

走査線駆動回路 3 の詳細構成の一例を示す回路図。

【図 2 2】

信号処理出力回路 5 4 の詳細構成の一例を示すブロック図。

【図 2 3】

同期信号発生回路 7 1 の詳細構成の一例を示すブロック図。

【図 2 4】

P/S変換回路 7 2 の詳細構成の一例を示すブロック図。

【図 2 5】

デコーダの内部構成の一例を示す回路図。

【図 2 6】

ラッチの内部構成の一例を示す回路図。

【図 2 7】

出力バッファ 7 3 の詳細構成を示すブロック図。

【図 2 8】

画素アレイ部 1 の 1 画素分の詳細回路図。

【図 2 9】

ガラス基板 3 1 上の 1 画素分のレイアウト図。

【図 3 0】

本実施形態の表示装置の動作を説明する図。

【図 3 1】

モード m 1 の動作タイミング図。

【図 3 2】

モード m 2 , m 3 の動作タイミング図。

【図 3 3】

モード m4, m5 の動作タイミング図。

【図 34】

ブロック分割を説明する図。

【図 35】

図 18 のコントロール IC55 が行う処理動作の一例を示すフローチャート。

【図 36】

撮像時間と平均階調との関係を示す図。

【図 37】

ステップ S7 で得られる撮像データの一例を示す図。

【図 38】

平均階調増分を説明する図。

【図 39】

本実施形態の撮像結果の一例を示す図。

【図 40】

第 2 の実施形態における各ブロックの表示輝度の一例を示す図。

【図 41】

第 2 の実施形態における隣接する 4 ブロックの撮像画像を図式化した図。

【図 42】

図 40 と同じ条件で撮像を行った場合の第 3 の実施形態の処理結果を示す図。

【図 43】

第 3 の実施形態における隣接する 4 ブロックの撮影画像を図式化した図。

【図 44】

本発明に係る表示装置の第 4 の実施形態の概略構成を示すブロック図。

【図 45】

基準パターン格納部に格納されている基準パターンの一例を示す図。

【図 46】

本実施形態のコントロール IC55 が行う処理動作を示すフローチャート。

【図 47】

撮像対象の一例を示す図。

【図 4 8】

撮像結果の一例を示す図。

【図 4 9】

反転パターンの一例を示す図。

【図 5 0】

センサの撮像データの一例を示す図。

【図 5 1】

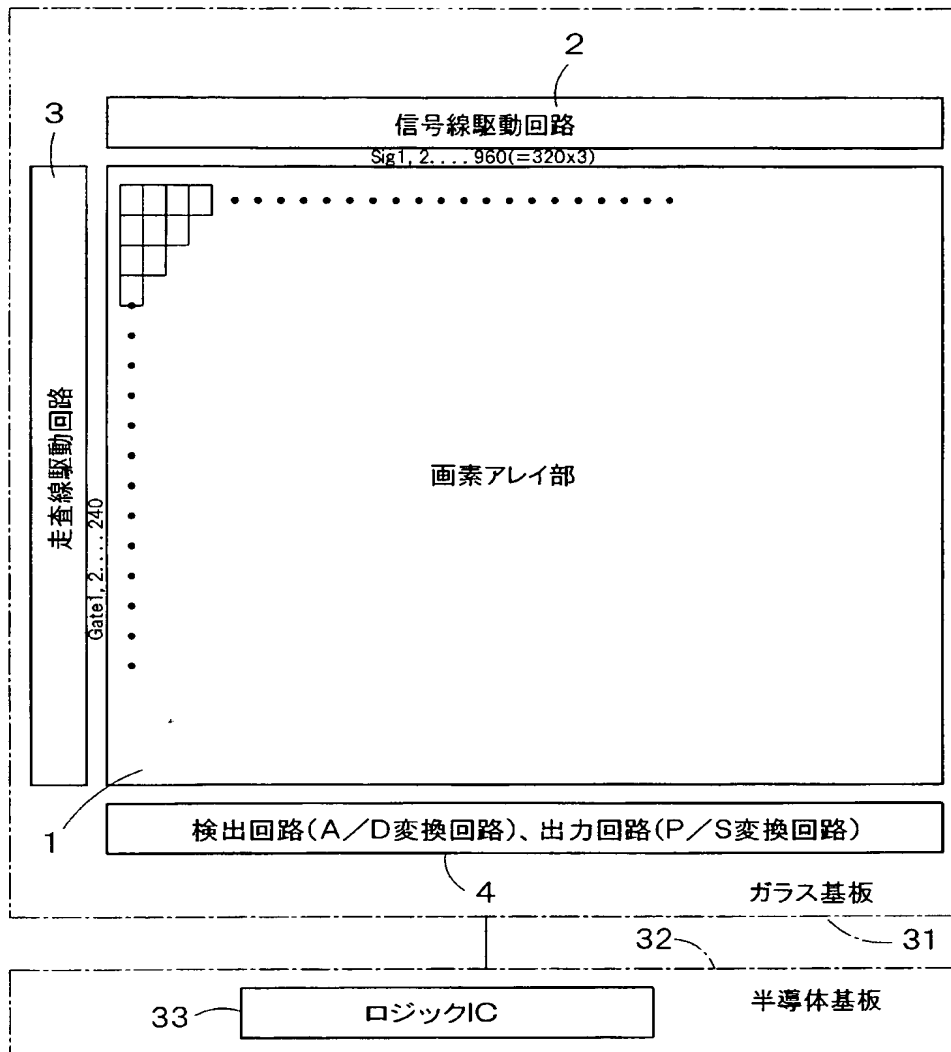
最終的な撮像結果の一例を示す図。

【符号の説明】

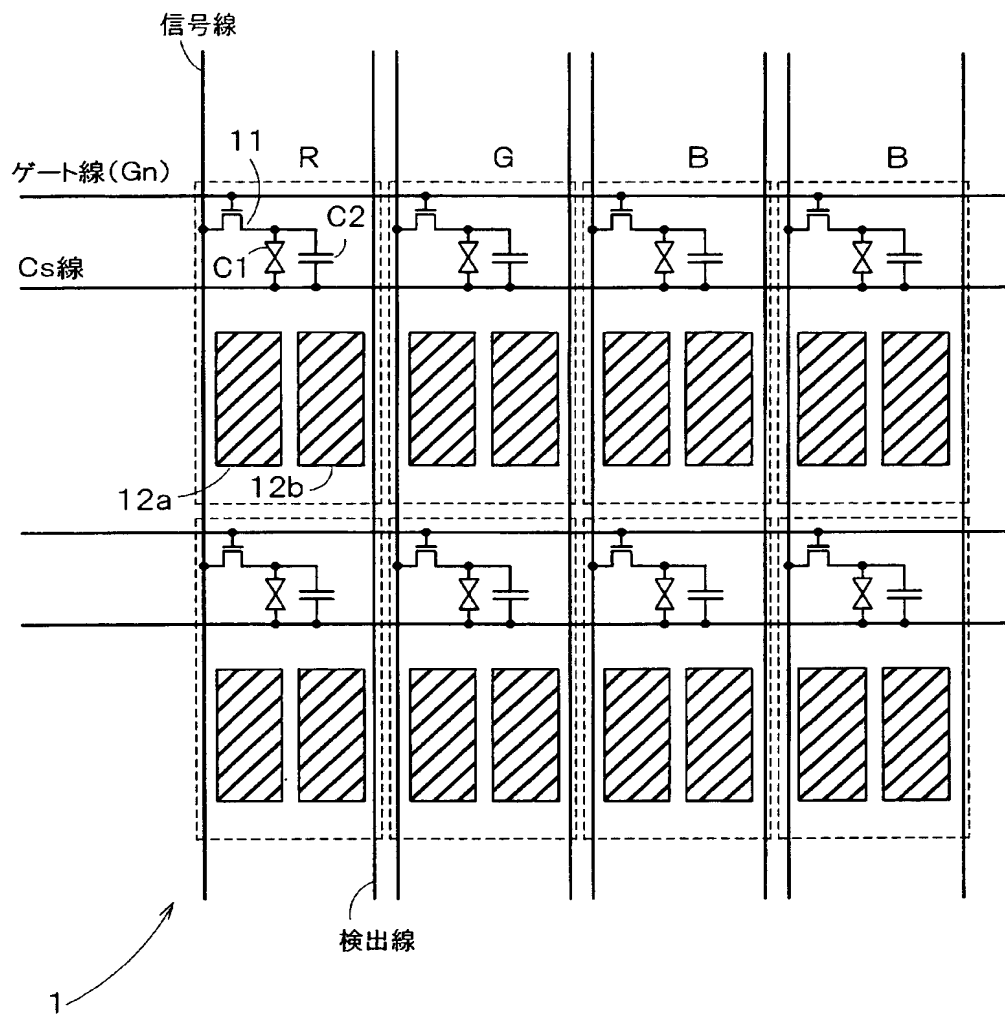
- 1 画素アレイ部
- 2 信号線駆動回路
- 3 走査線駆動回路
- 4 検出回路&出力回路
- 1 1 画素 T F T
- 1 2 a, 1 2 b センサ
- 1 3 バッファ
- 2 1 アレイ基板
- 2 2 紙面
- 2 3 バックライト
- 2 4 対向基板
- 3 1 ガラス基板
- 3 2 半導体基板
- 3 3 ロジック I C
- 5 2 制御回路基板
- 5 3 センサ制御回路
- 5 4 信号処理出力回路
- 5 5 コントロール IC
- 5 6 メモリ
- 8 6 基準パターン格納部

【書類名】 図面

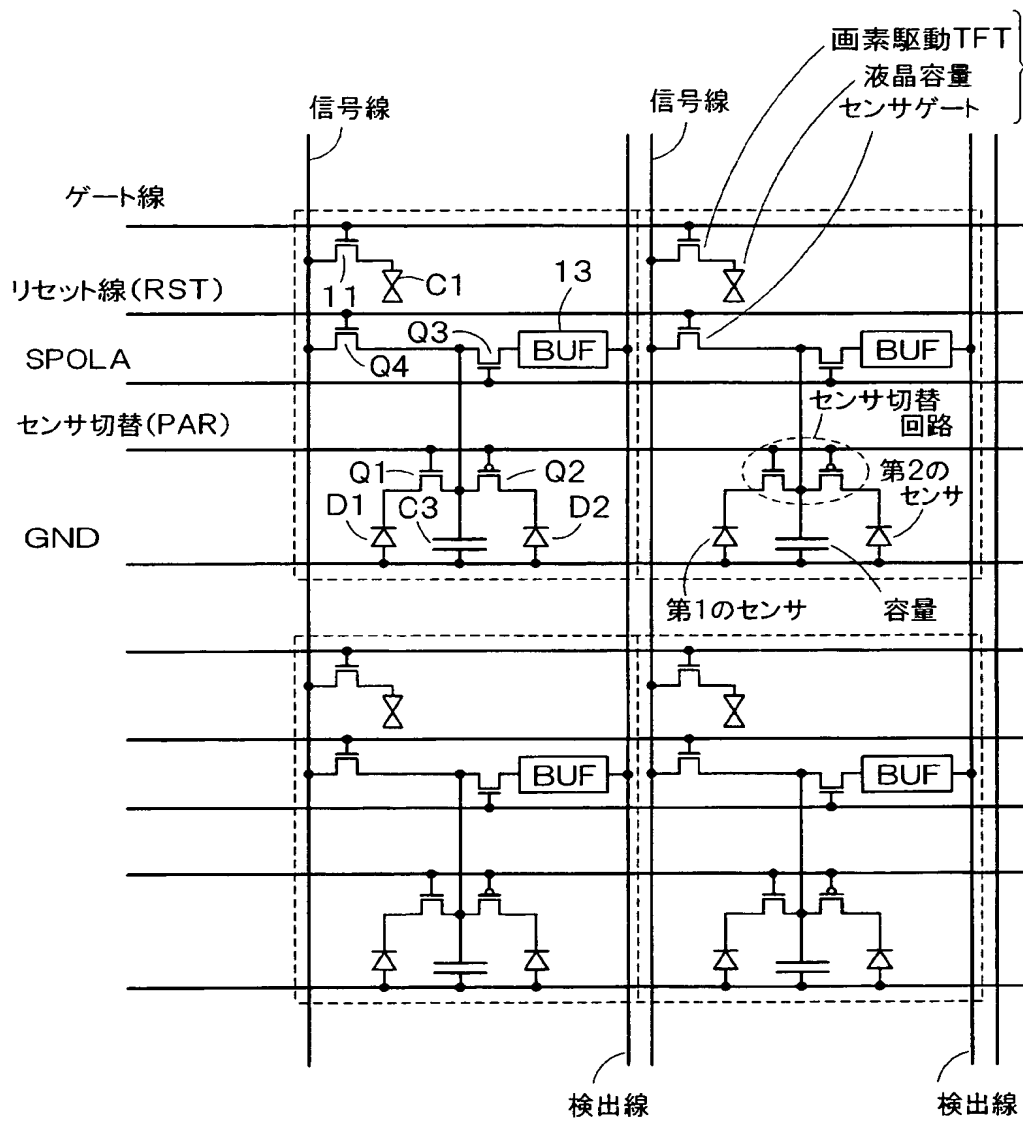
【図 1】



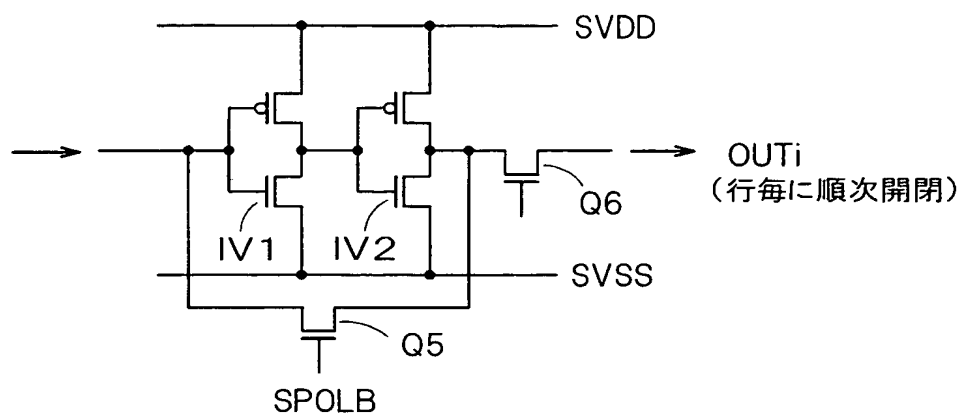
【図 2】



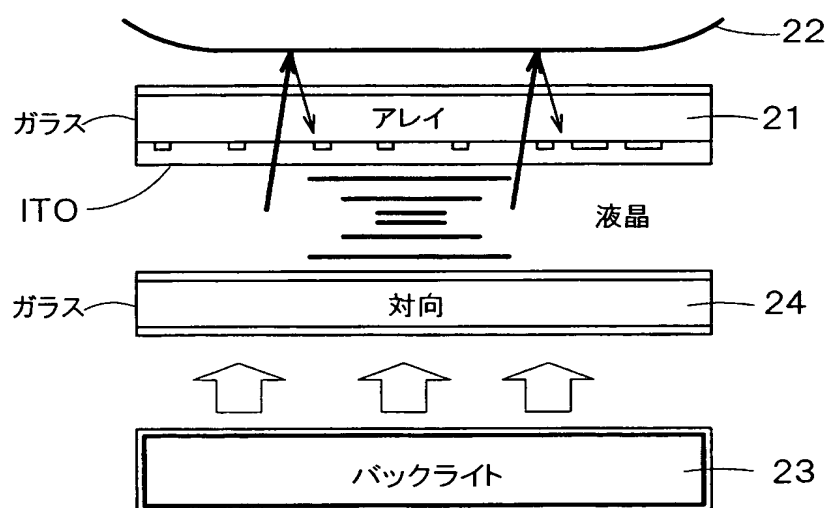
【図 3】



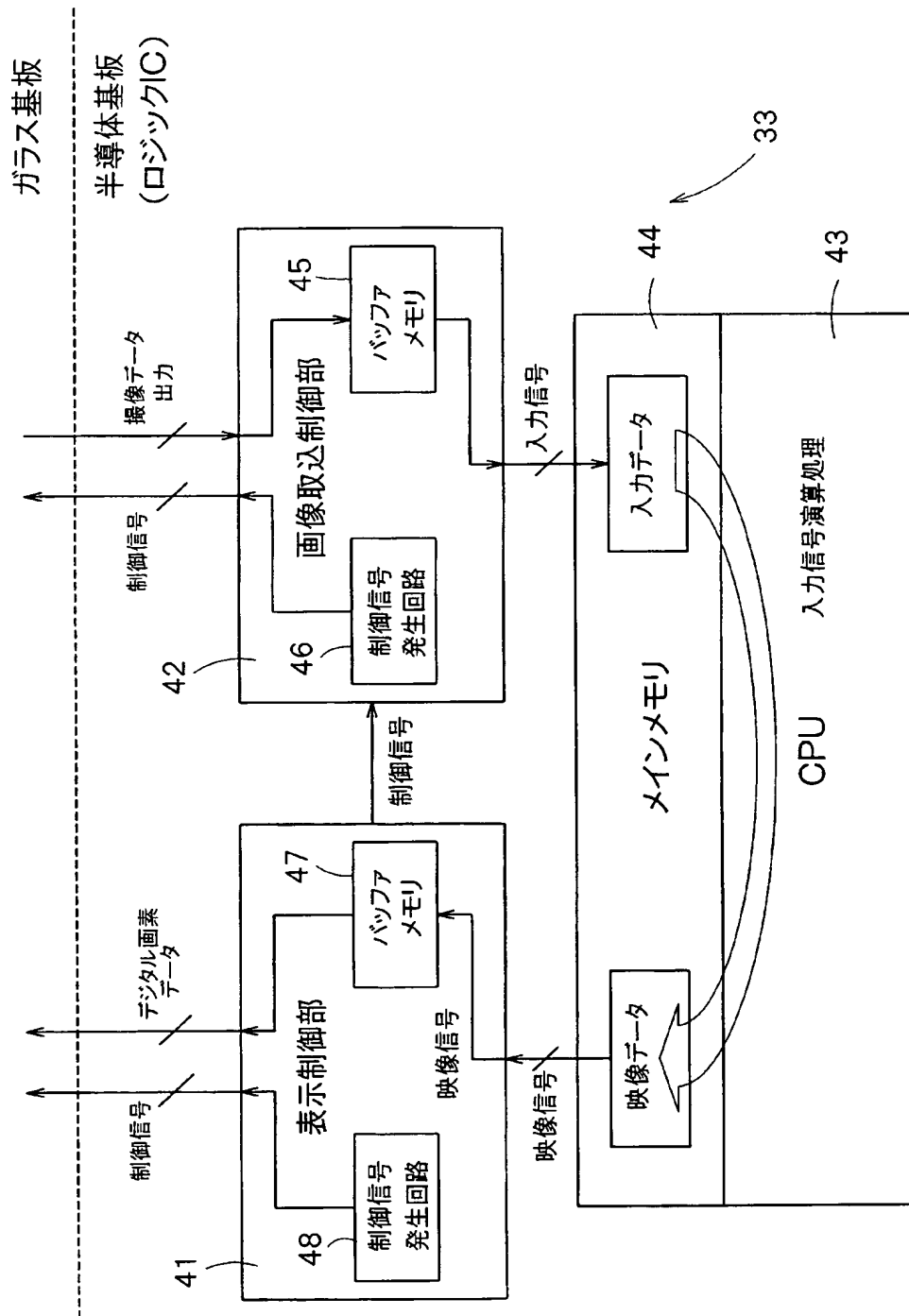
【図 4】



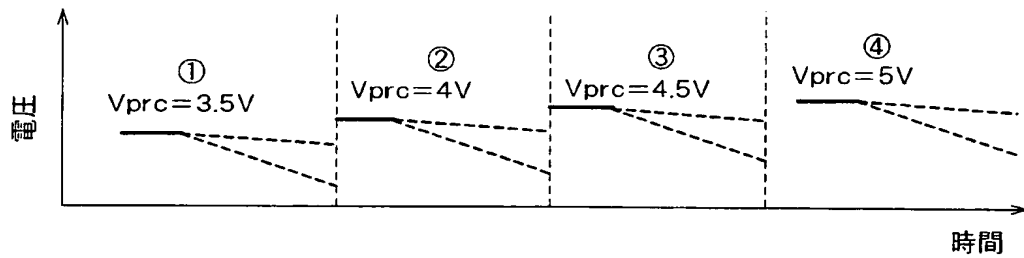
【図 5】



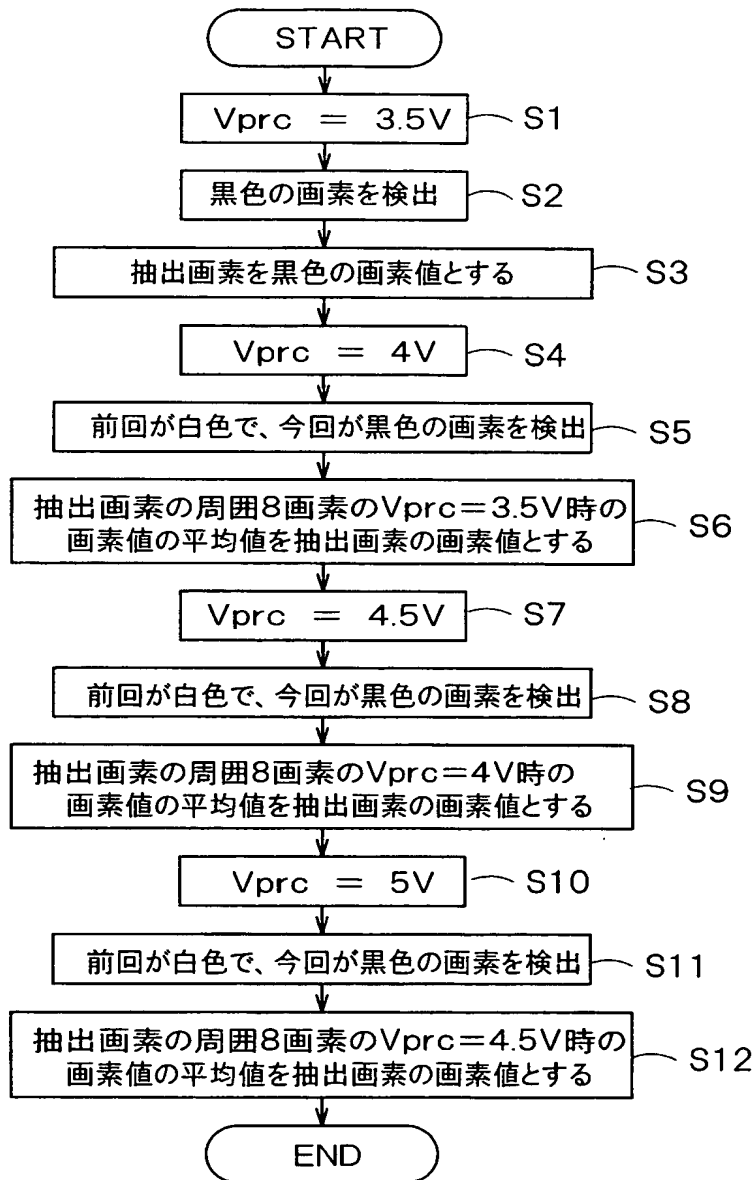
【図 6】



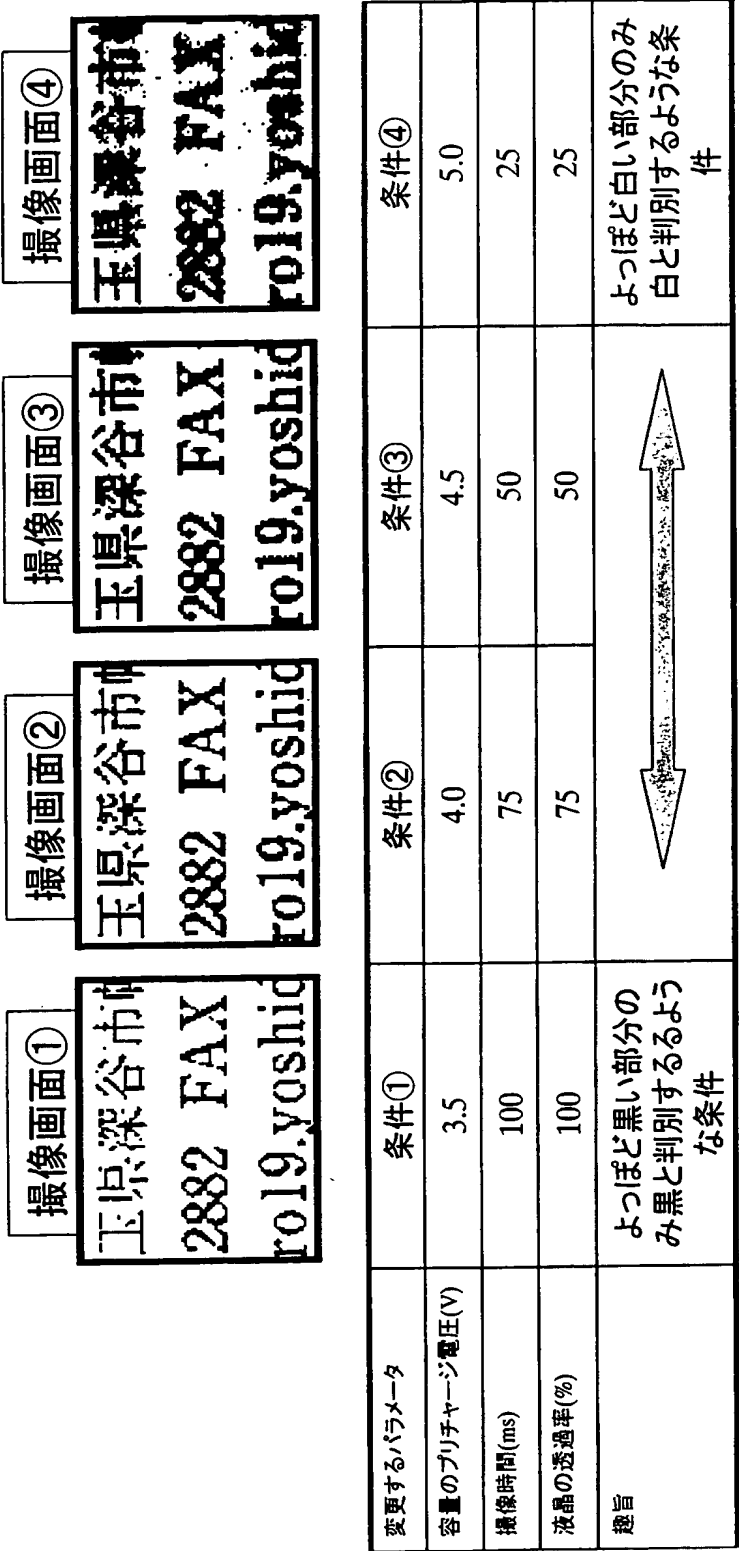
【図 7】



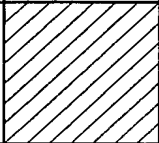
【図 8】



【図 9】



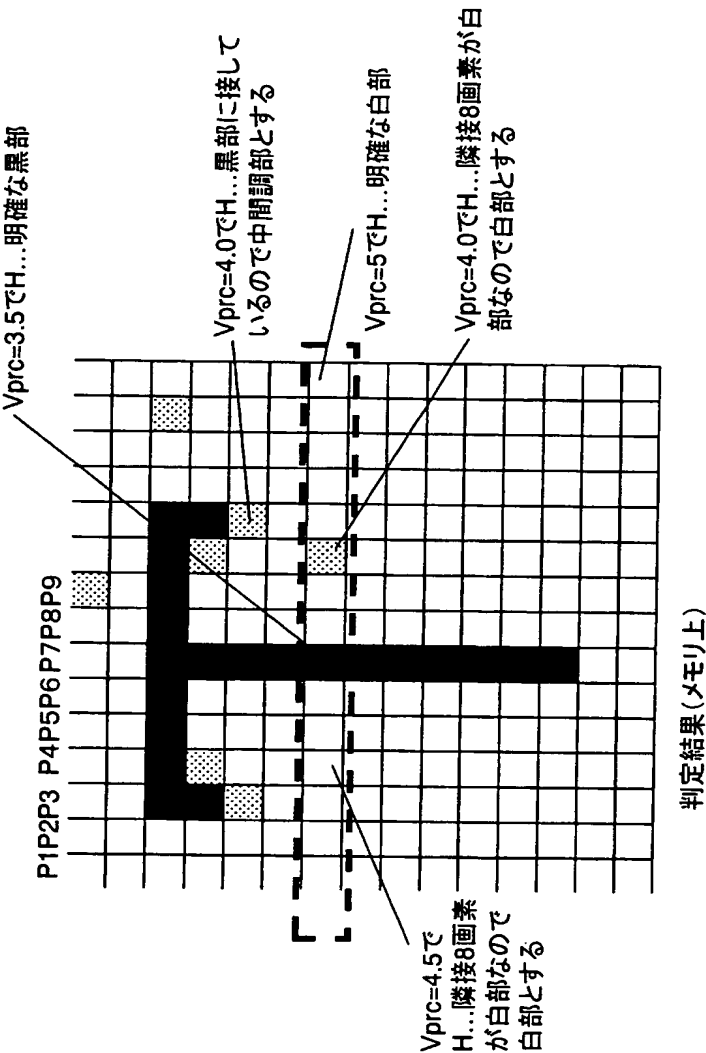
【図 1 0】

G1	G2	G3
G8		G4
G7	G6	G5

【図 1 1】

玉泉深谷市
2882 FAX
ro19.yoshic

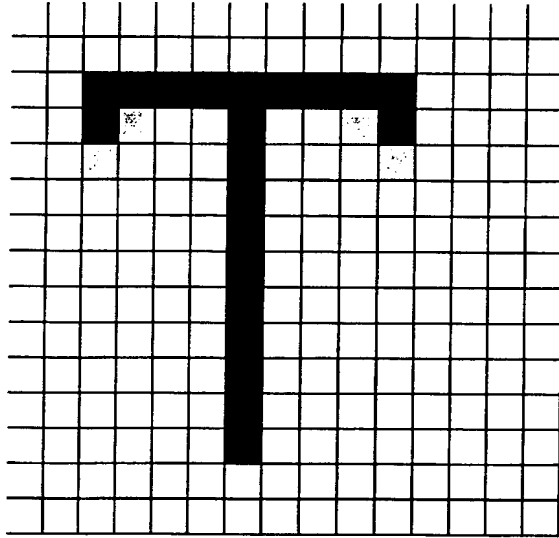
【図 12】



【図 13】

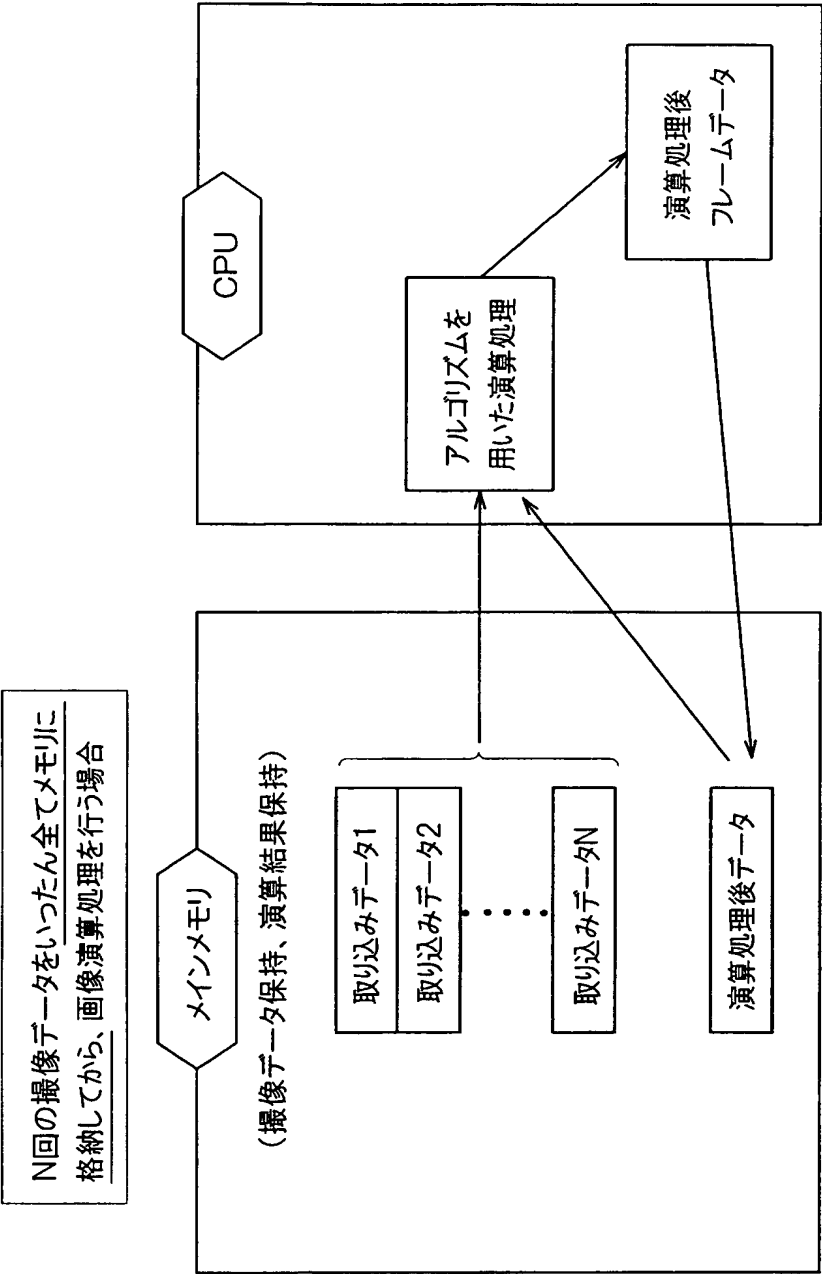
	V _{prec} (V)	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15
①	3.5	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L
②	4.0	L	L	L	L	L	L	H	L	L	H	L	L	L	L	L
③	4.5	L	L	L	H	L	L	H	L	L	H	L	L	L	L	L
④	5.0	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

【図 1 4】

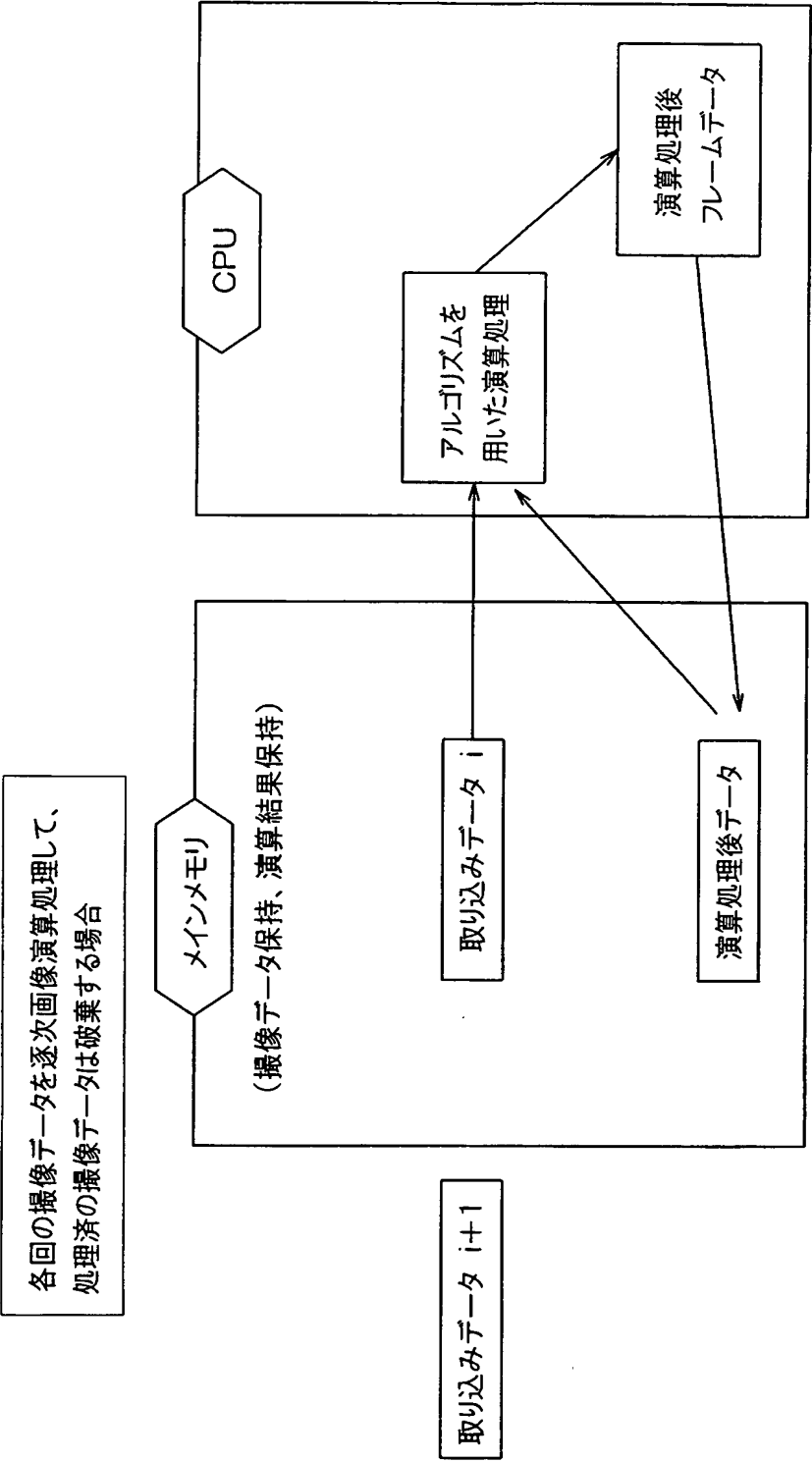


表示装置での再現画像

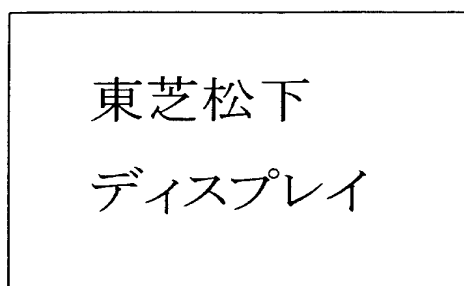
【図 1 5】



【図 1 6】



【図 1 7】



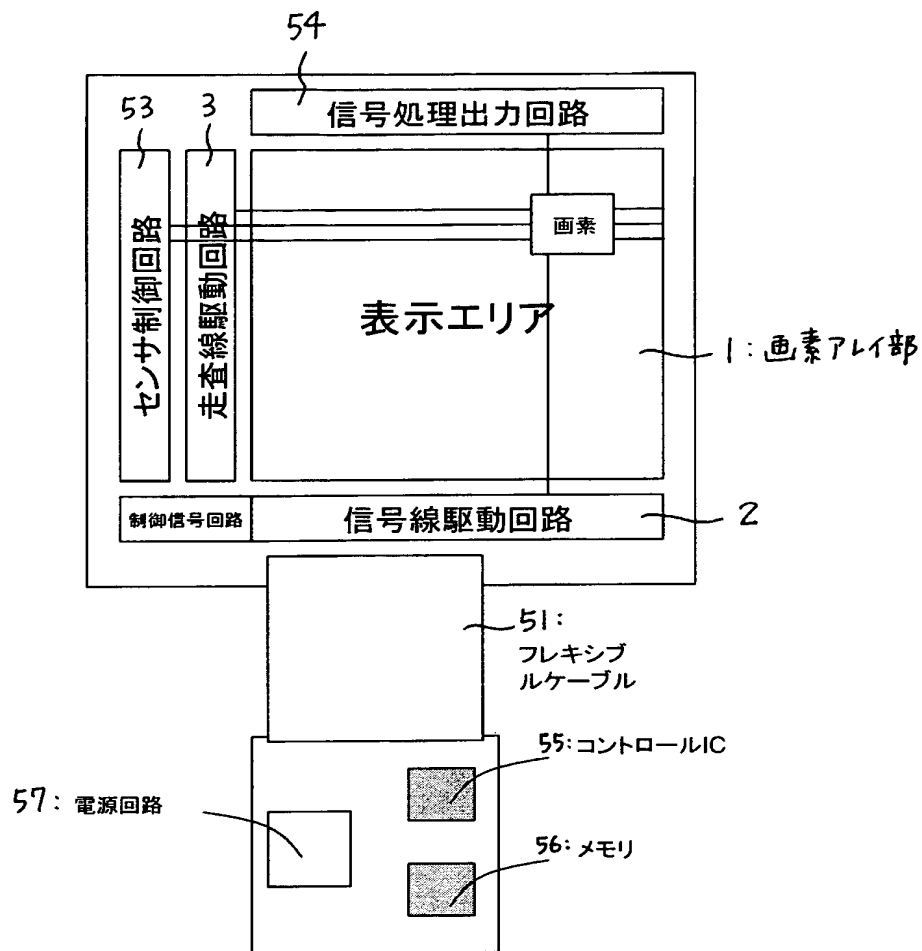
(a)

東芝松下

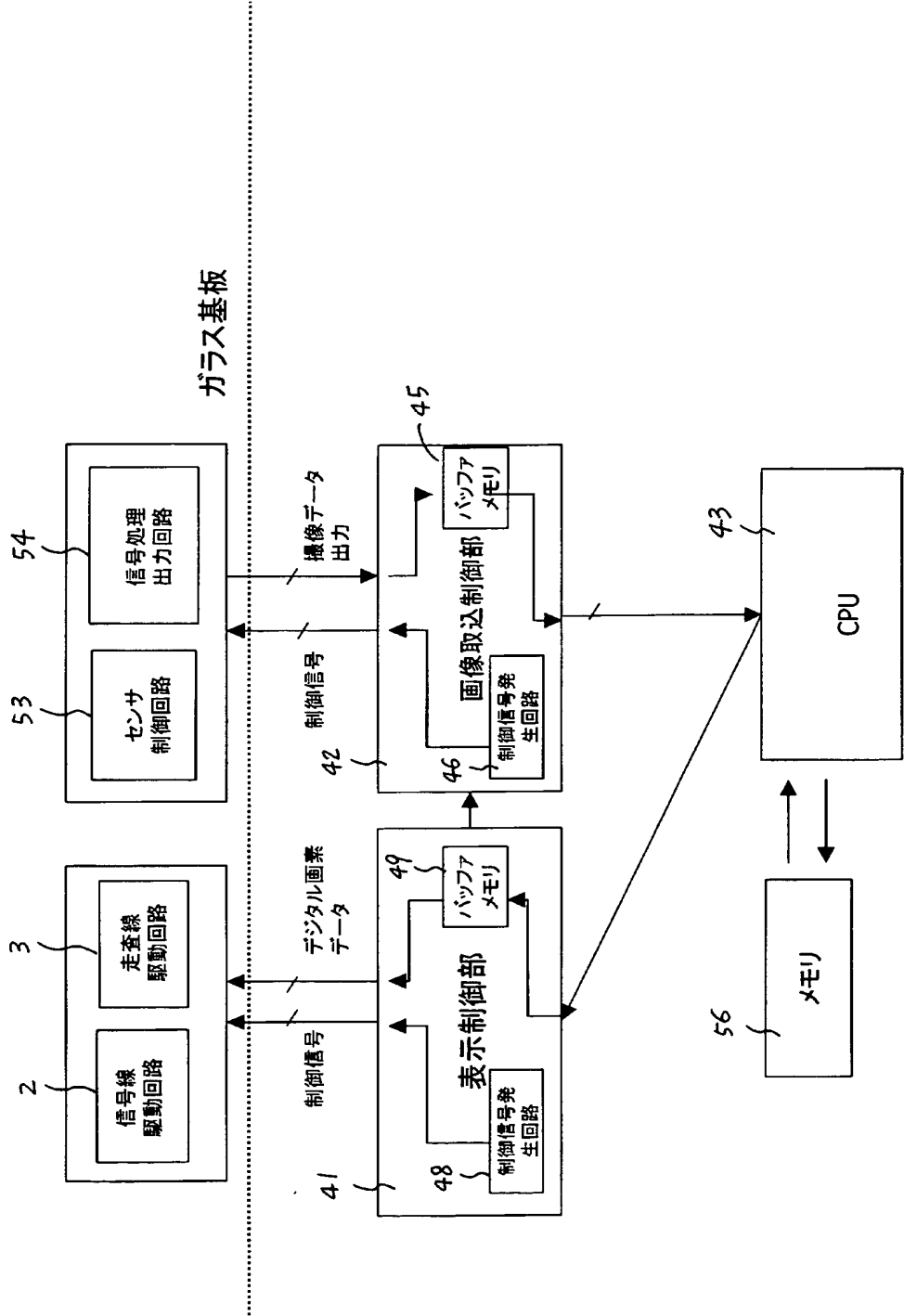
ディスプレイ

(b)

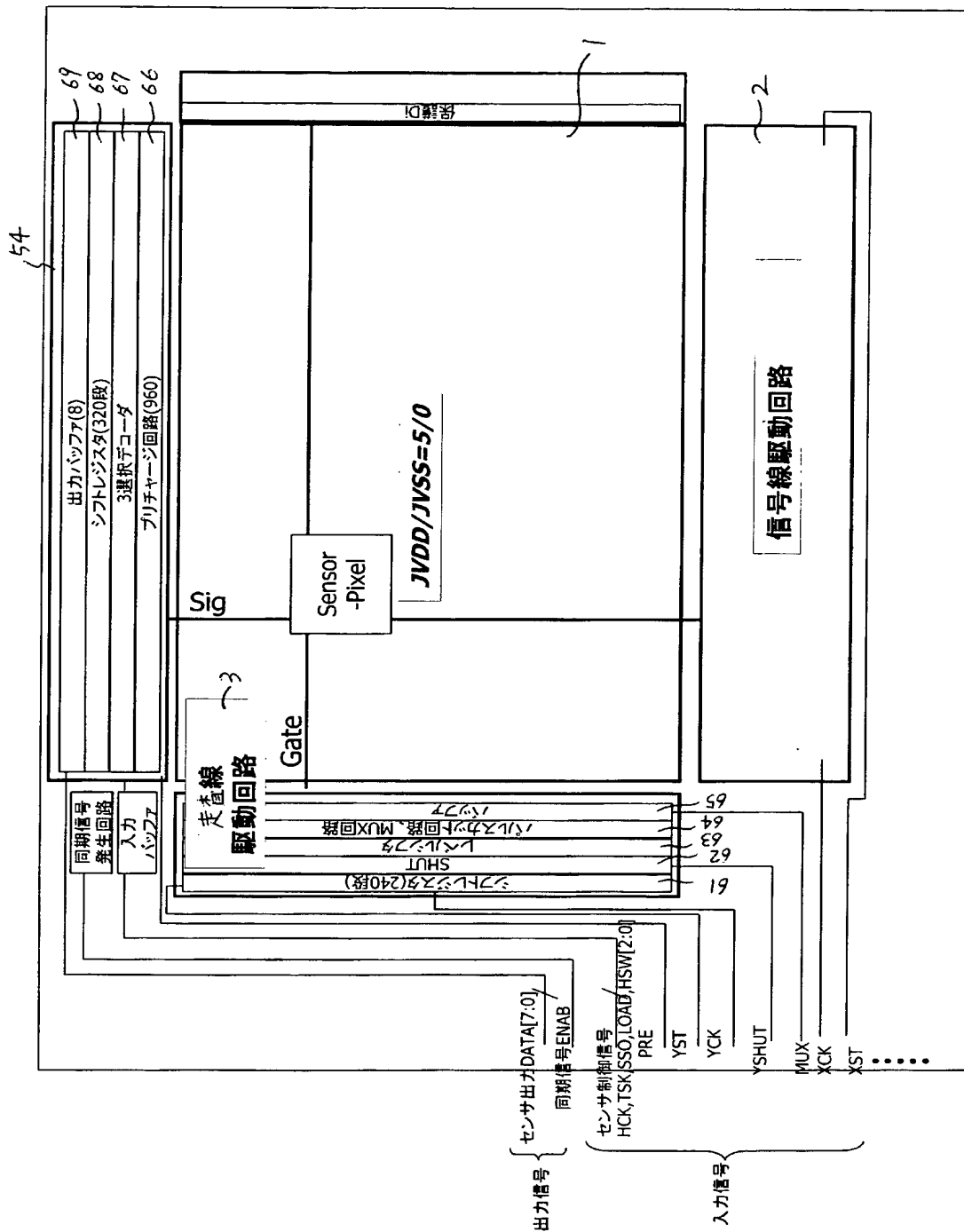
【図 18】



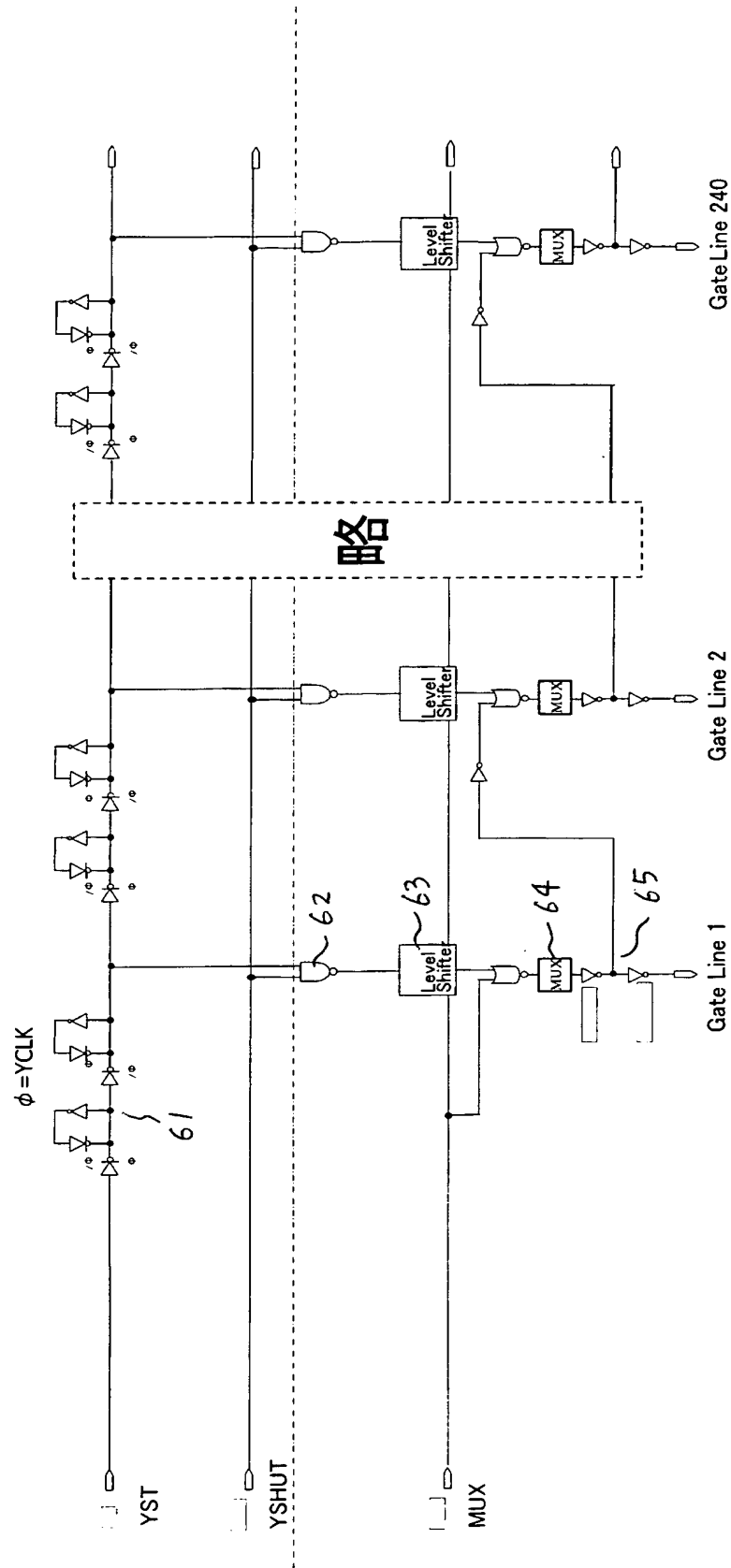
【図 19】



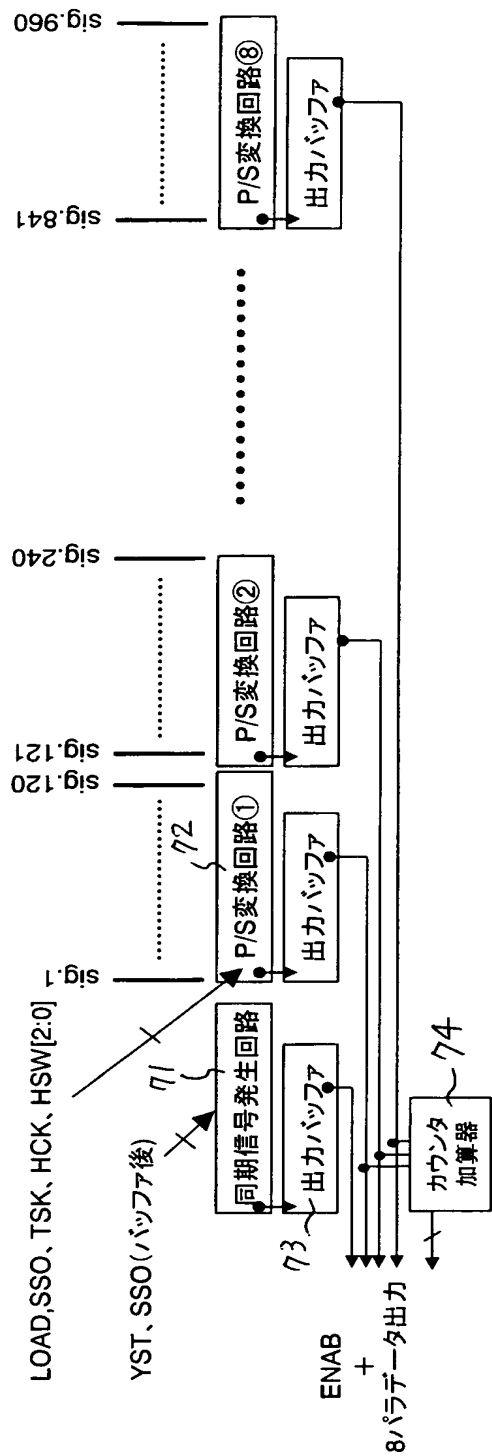
【図 20】



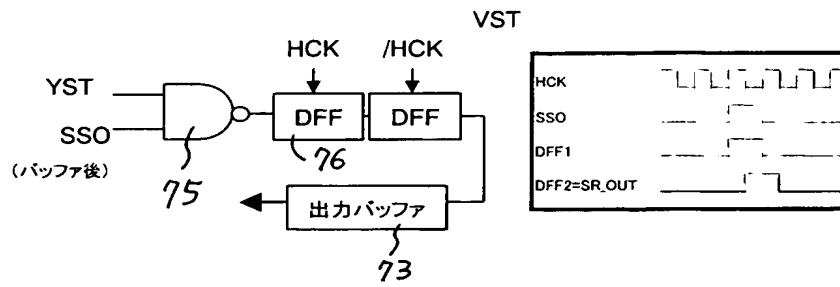
【図 2 1】



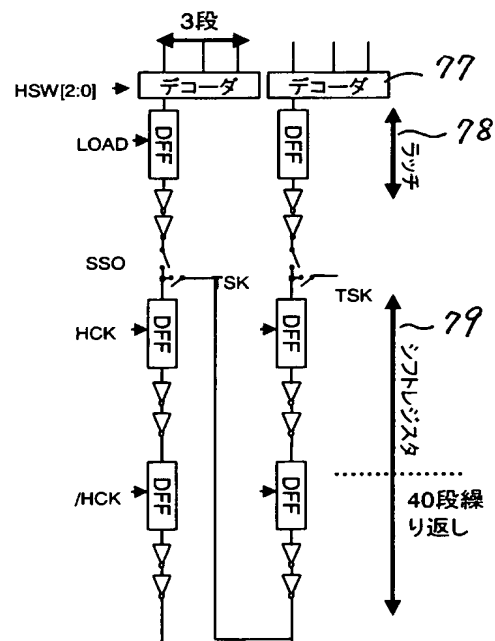
【図 2 2】



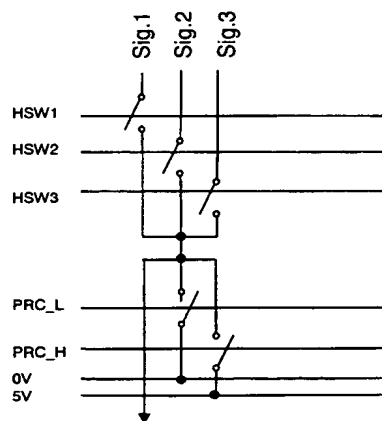
【図 2 3】



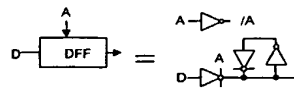
【図 2 4】



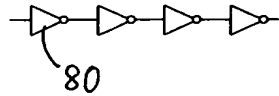
【図 2 5】



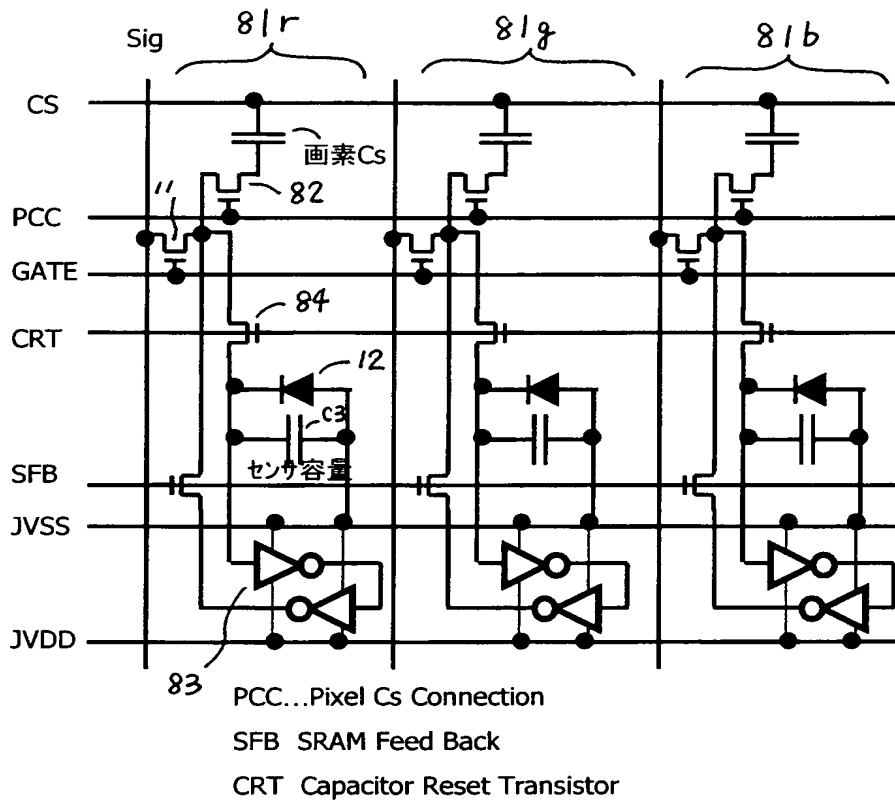
【図 26】



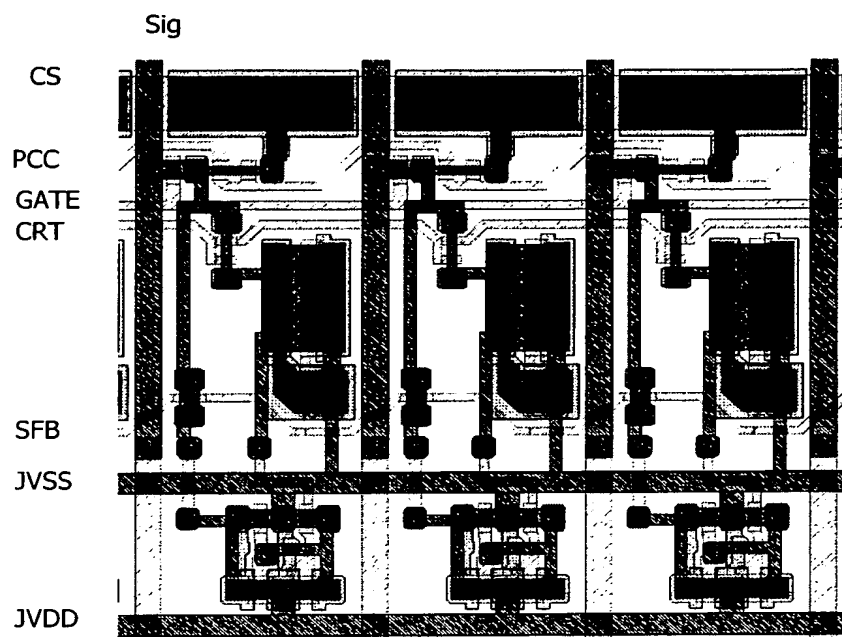
【図 27】



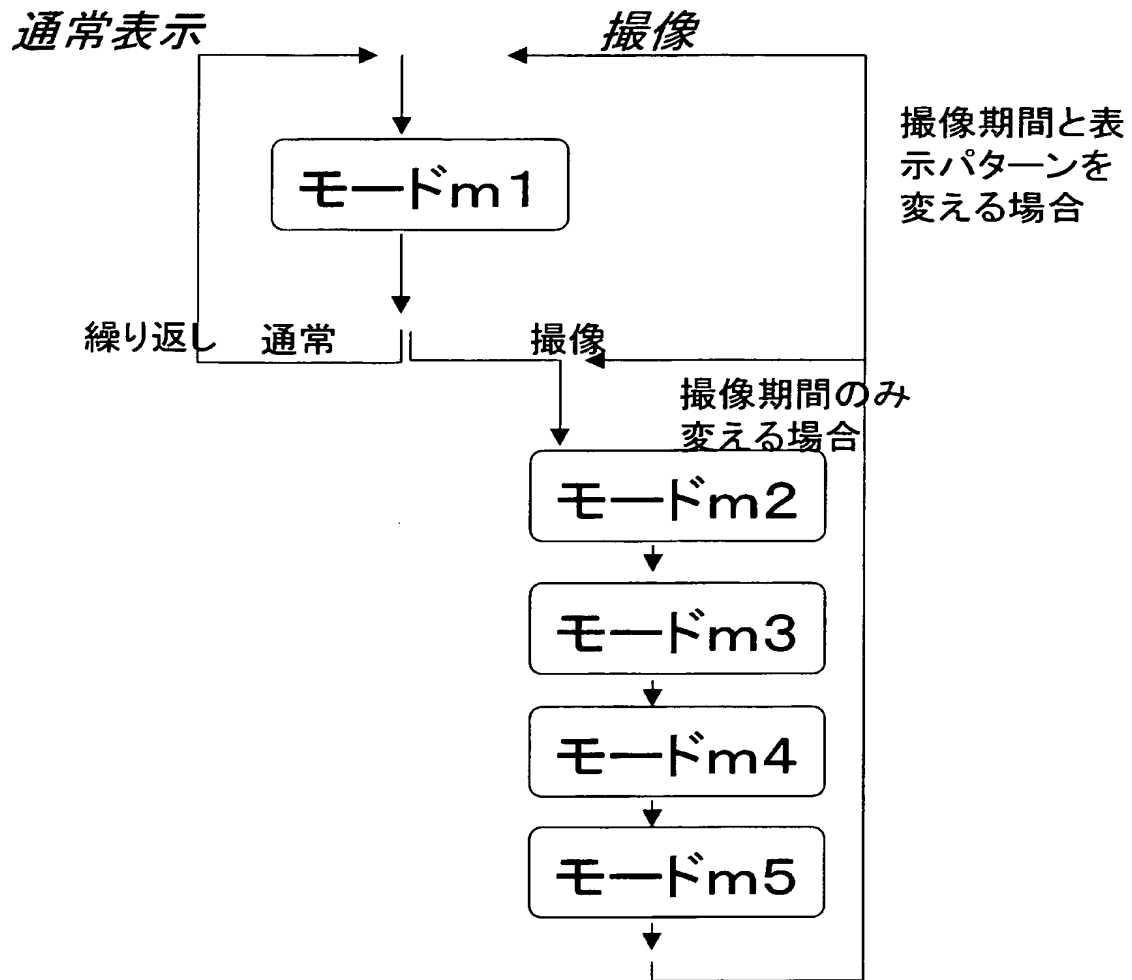
【図 28】



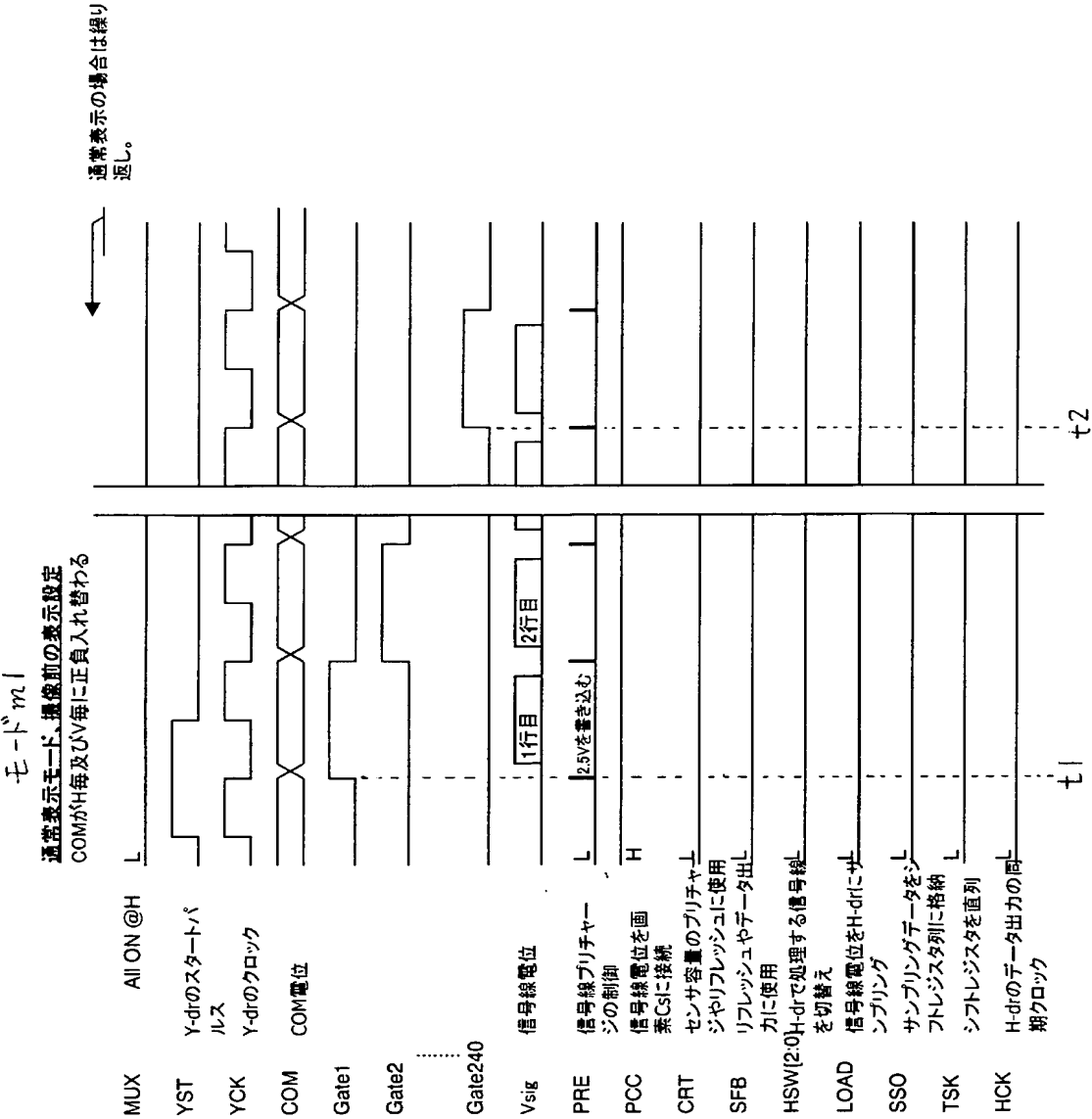
【図 29】



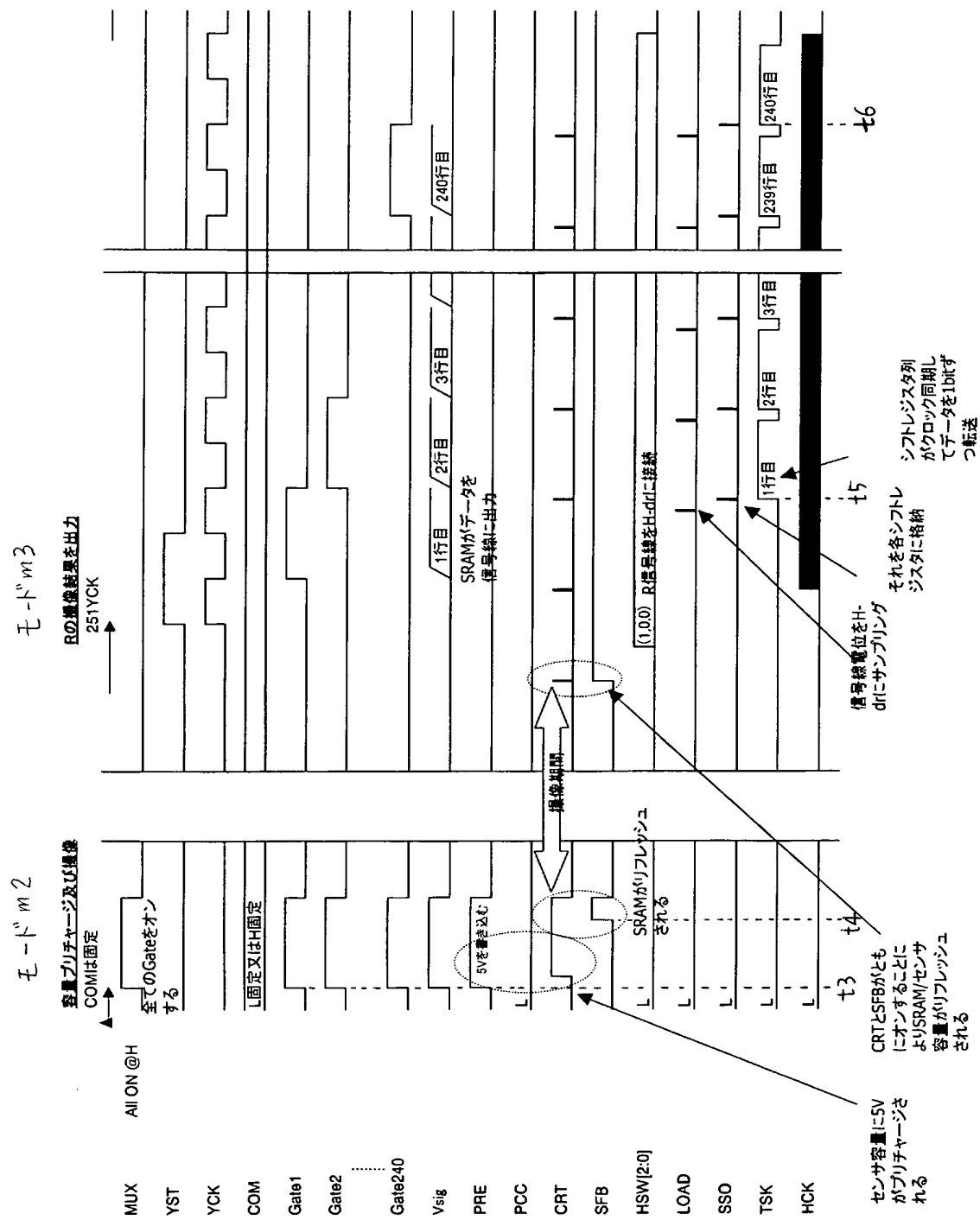
【図 30】



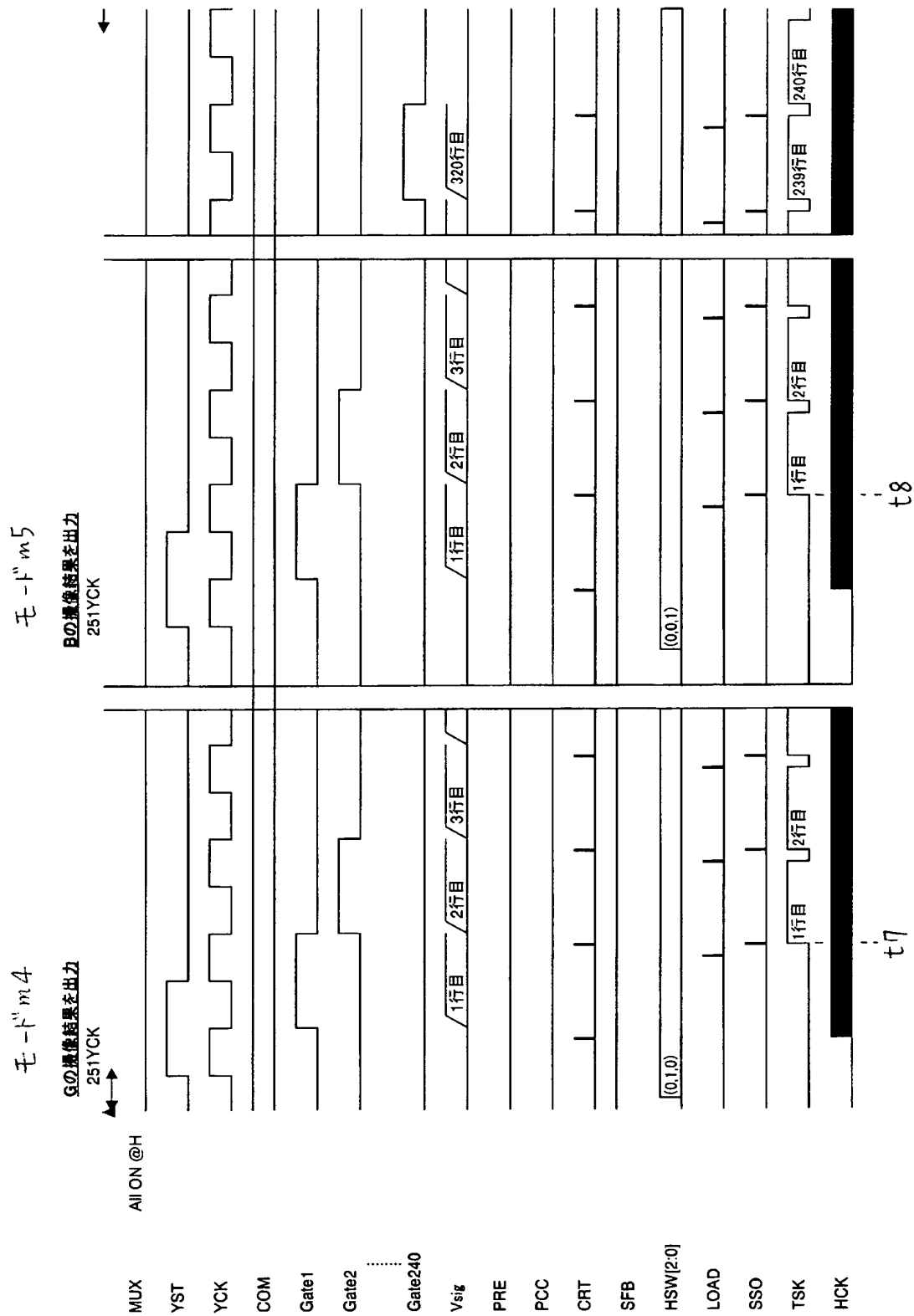
【図 31】



【図 3 2】

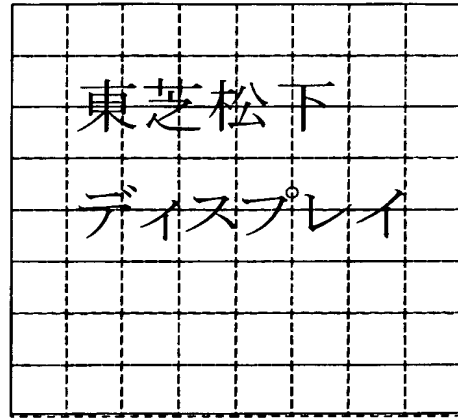


【図 3 3】

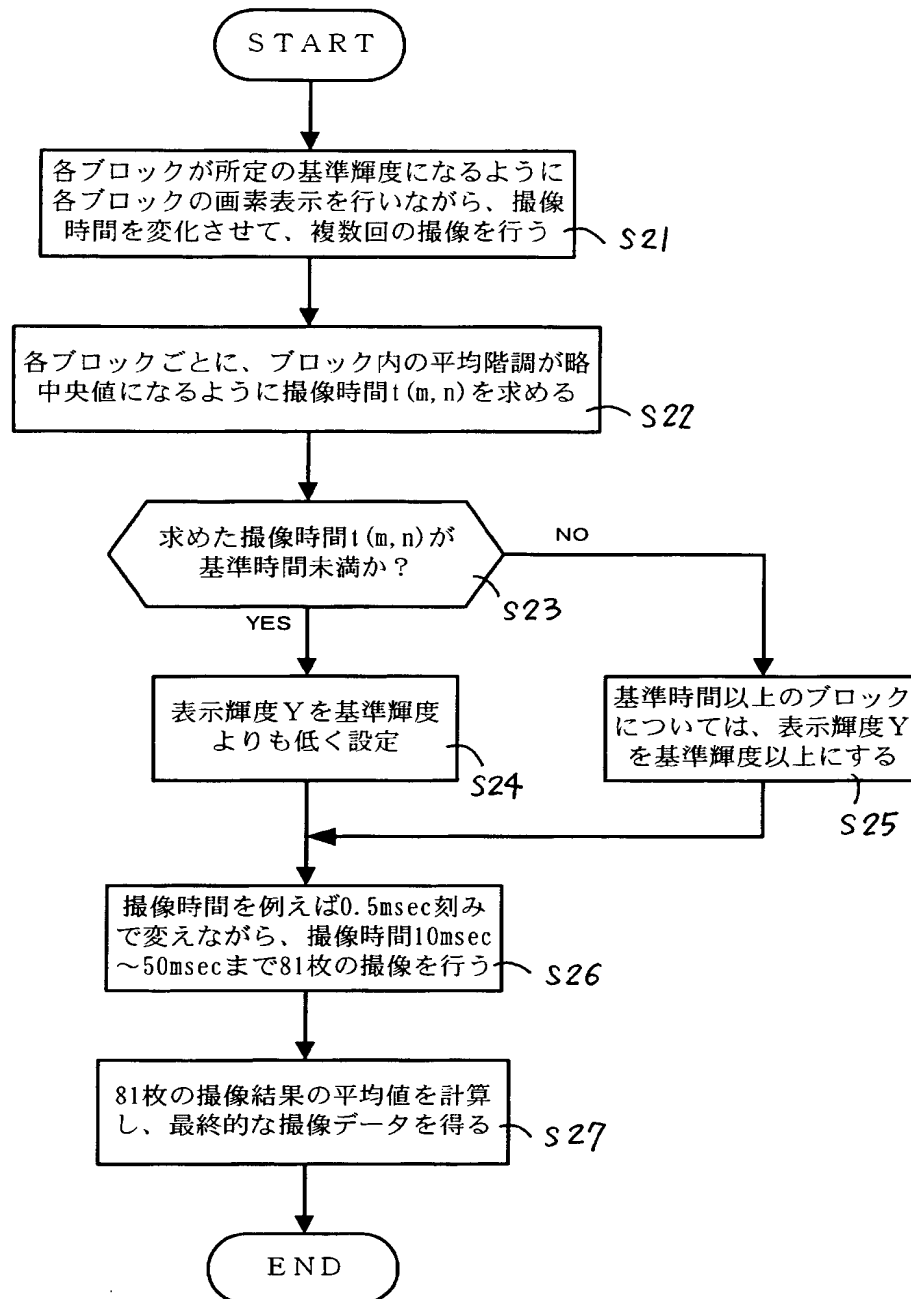


【図 3 4】

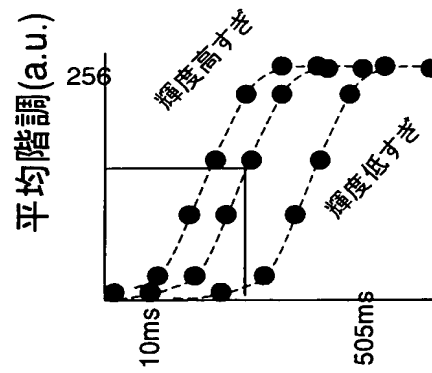
1ブロック=40X30(横に8,縦に8)



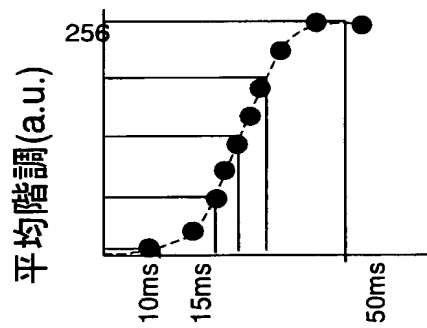
【図 35】



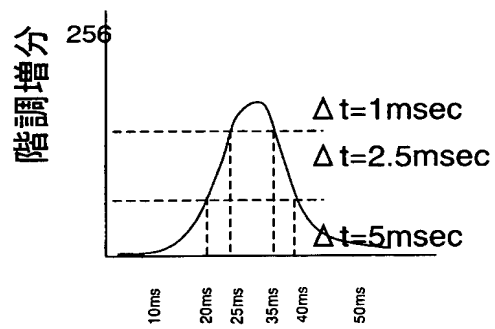
【図 36】



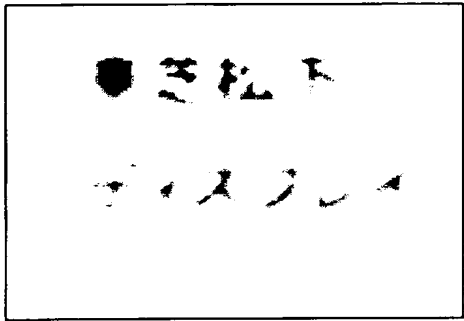
【図 37】



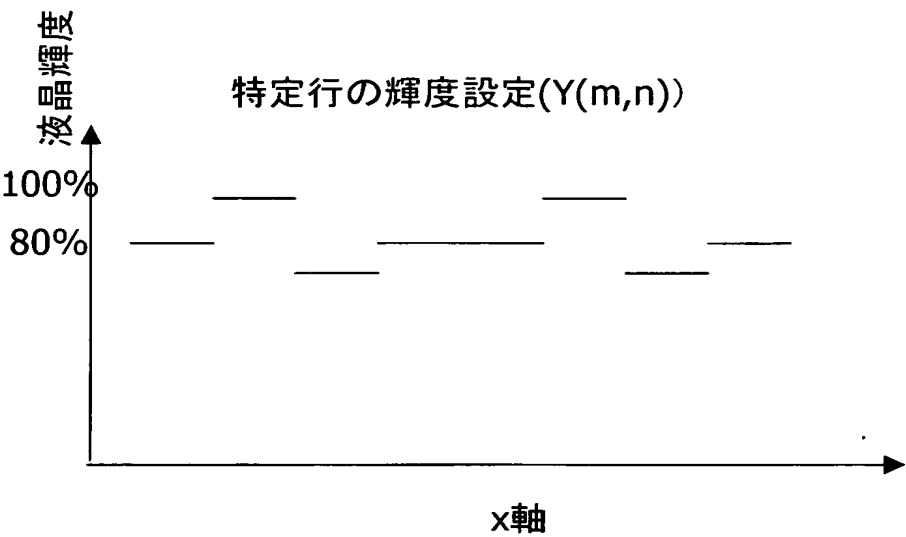
【図 38】



【図 3 9】



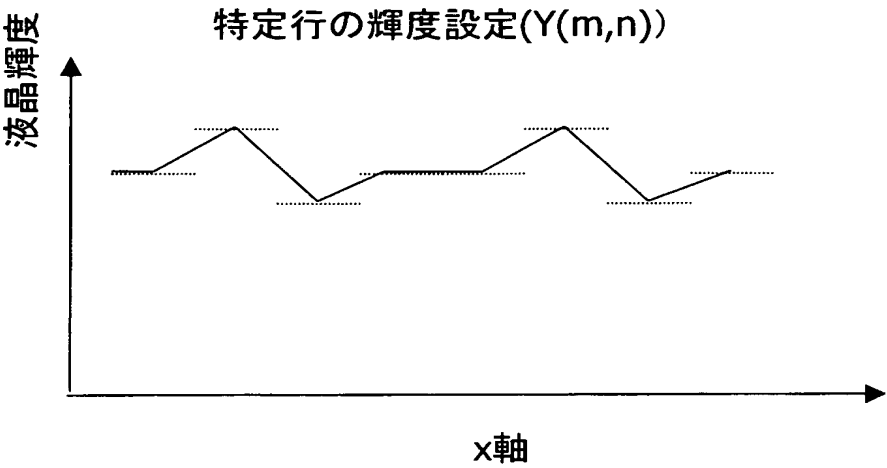
【図 4 0】



【図 4 1】



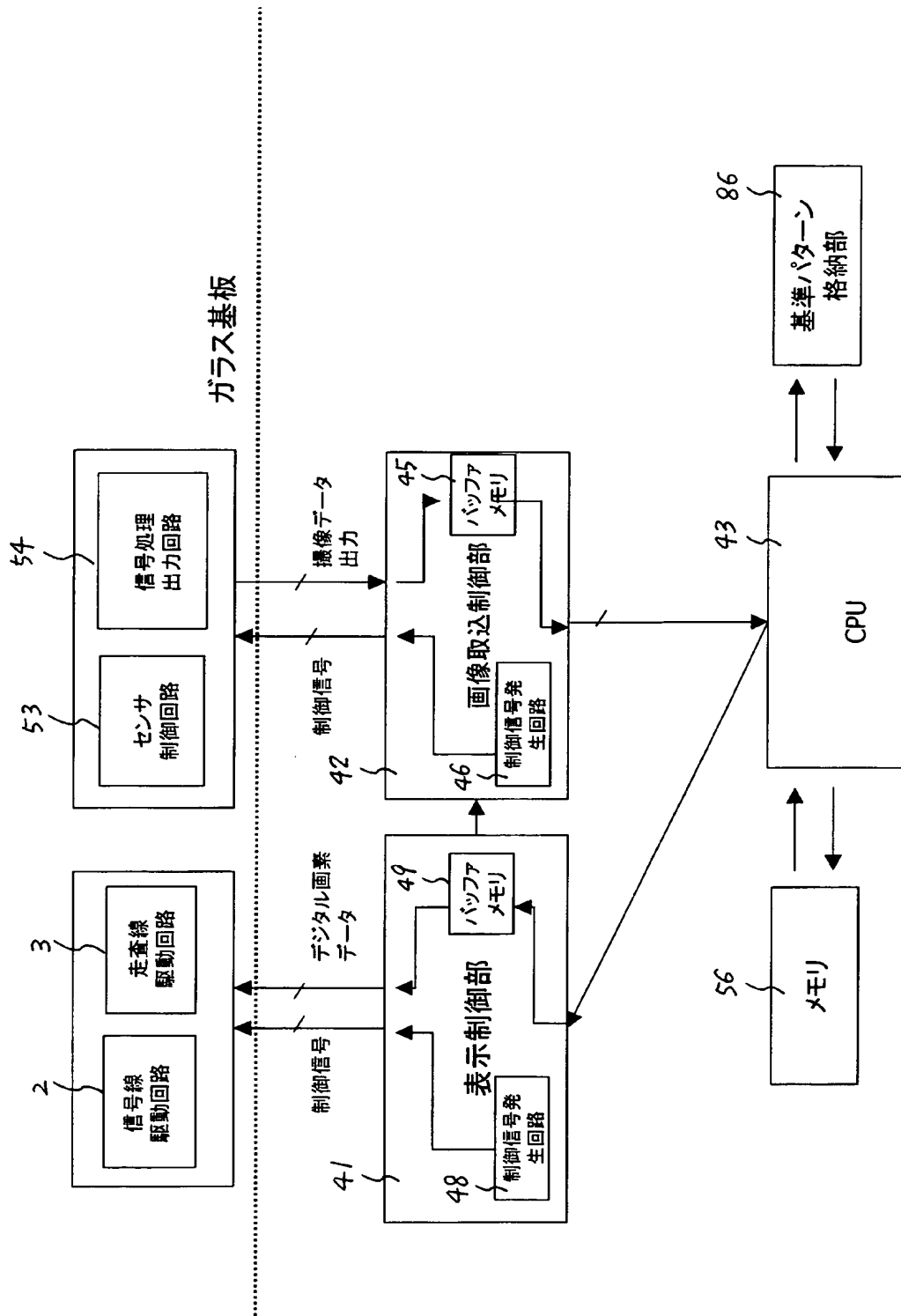
【図 4 2】



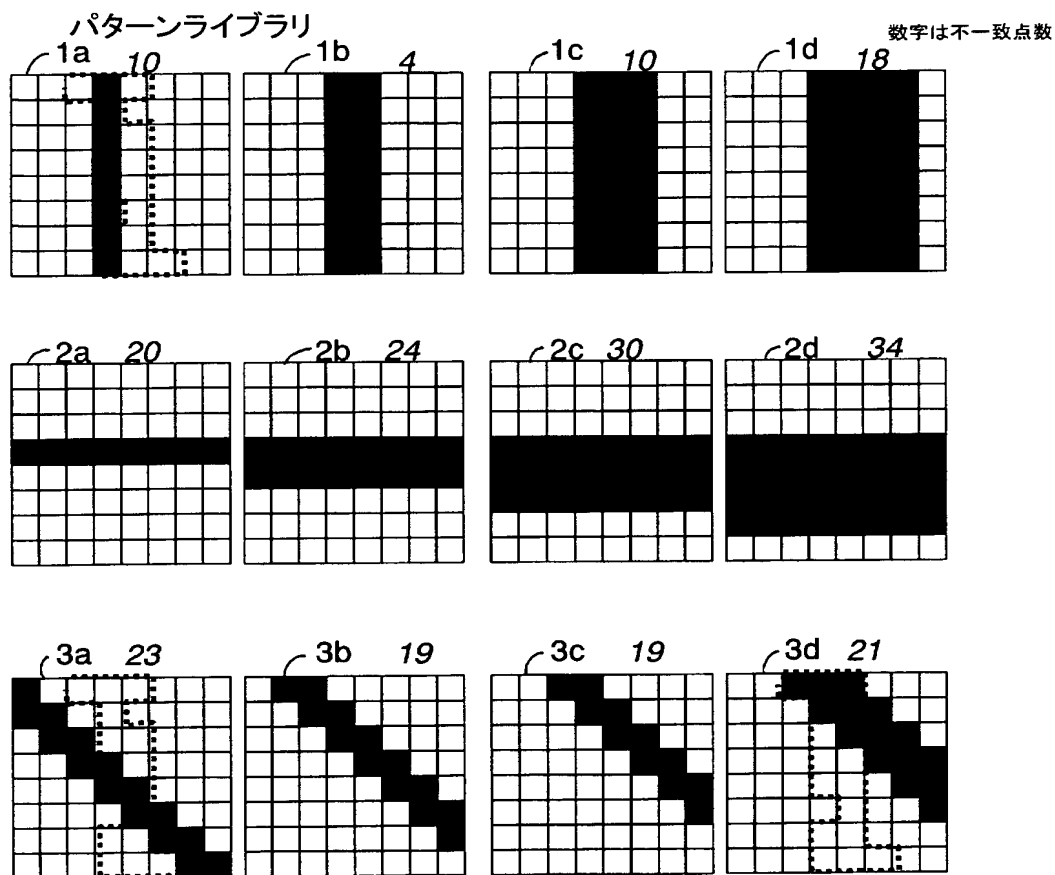
【図 4 3】



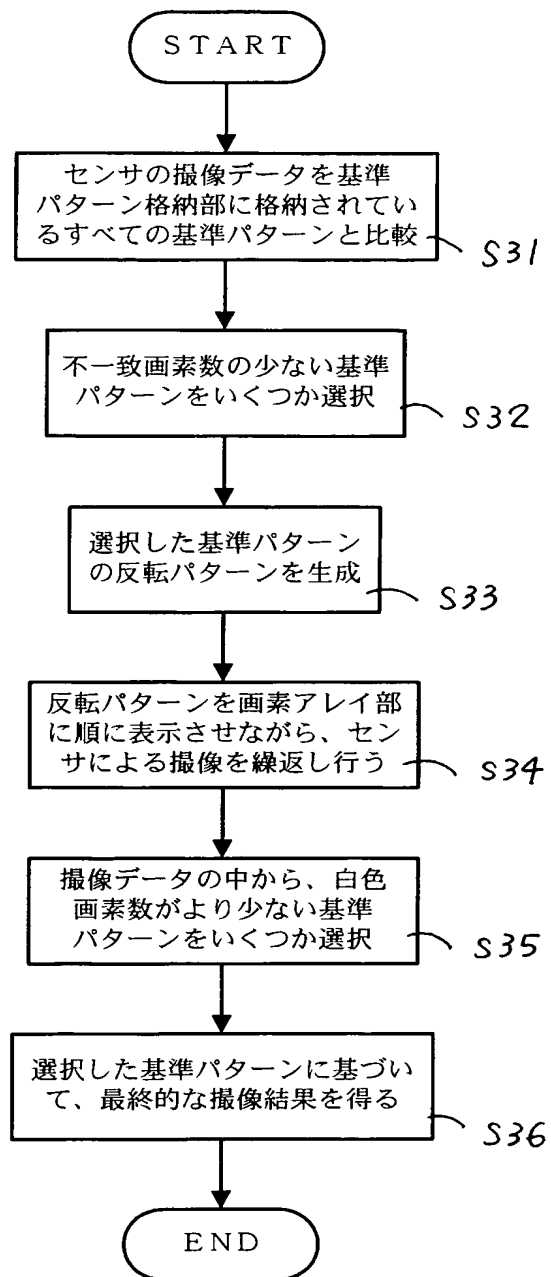
【図 4 4】



【図 4 5】

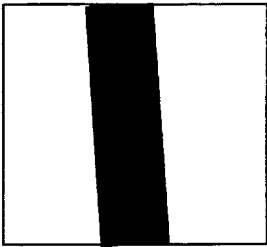


【図 46】



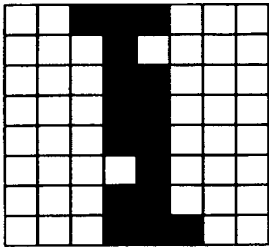
【図 4 7】

撮像対象

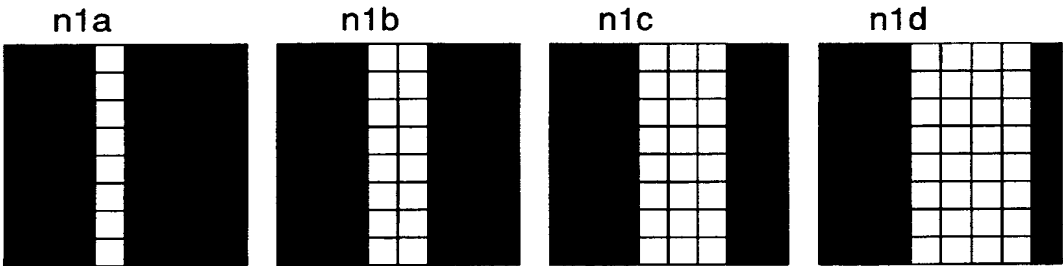


【図 4 8】

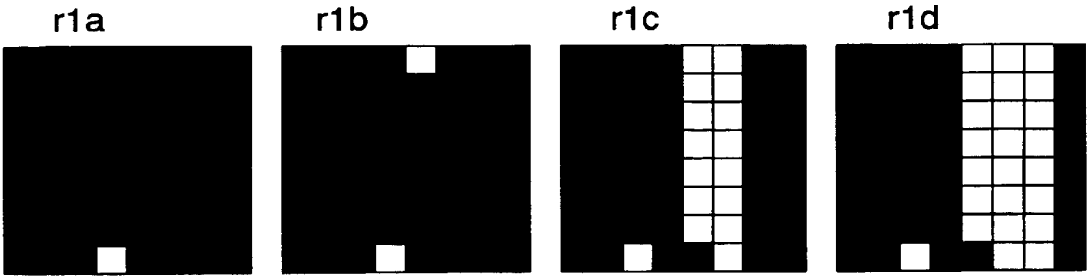
撮像結果



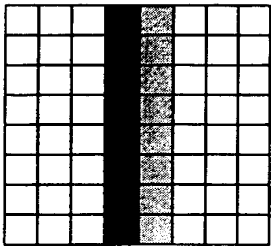
【図 4 9】



【図 5 0】



【図 5 1】



【書類名】 要約書

【要約】

【課題】 光リークのばらつきやトランジスタ等の電気的特性のばらつきの影響を受けることなく、画像取込みを行う。

【解決手段】 表示装置は、ガラス基板 3 1 と半導体基板 3 2 とで構成され、半導体基板 3 2 上には、表示制御及び画像取込制御を行うロジック I C 3 3 が実装されている。ロジック I C 3 3 は、画素アレイ部 1 への表示制御を行う表示制御部 4 1 と、センサ 1 2 a, 1 2 b の画像取込制御を行う画像取込制御部 4 2 と、ロジック I C 3 3 全体の制御を行う C P U 4 3 と、C P U 4 3 が作業用に利用するメインメモリ 4 4 とを有する。撮影条件を変えて複数回画像取込みを行った結果に基づいて、最終的な取込画像を決定するため、センサ 1 2 a, 1 2 b の特性ばらつきやSRAMのしきい値電圧のばらつき等の影響を受けずに画像取込みを行うことができ、ノイズが少なく、中間調まで再現できる取込画像が得られる。

【選択図】 図 6

特願 2 0 0 2 - 3 8 1 7 7 5

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 2 0 2 0 7]

1. 変更年月日

2 0 0 2 年 4 月 5 日

[変更理由]

新規登録

住 所

東京都港区港南 4 - 1 - 8

氏 名

東芝松下ディスプレイテクノロジー株式会社